



Hi3531/Hi3532 硬件设计  
**用户指南**

文档版本 02

发布日期 2012-11-30

**版权所有 © 深圳市海思半导体有限公司 2011-2012。保留一切权利。**

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

## 商标声明



**HISILICON**、海思和其他海思商标均为深圳市海思半导体有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

## 注意

您购买的产品、服务或特性等应受海思公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，海思公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

## 深圳市海思半导体有限公司

地址：                    深圳市龙岗区坂田华为基地华为电气生产中心                    邮编：518129

网址：                    <http://www.hisilicon.com>

客户服务电话：          +86-755-28788858

客户服务传真：          +86-755-28357515

客户服务邮箱：          [support@hisilicon.com](mailto:support@hisilicon.com)



# 前 言

## 概述

本文档主要介绍 Hi3531/Hi3532 芯片方案的硬件原理图设计、PCB 设计、单板热设计建议等。

本文档提供 Hi3531/Hi3532 芯片的硬件设计方法。

## 产品版本

与本文档相对应的产品版本如下。

产品名称	产品版本
Hi3531 芯片	V100
Hi3532 芯片	V100

## 读者对象

本文档（本指南）主要适用于以下工程师：

- 技术支持工程师
- 单板硬件开发工程师

## 修订记录

修订记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新内容。

修订日期	版本	修订说明
2012-11-30	02	第 3 章 单板热设计建议 更新 3.1 节



修订日期	版本	修订说明
2012-09-21	01	<p><b>1.1.5 Power Supply 电路</b>中增加电源的上下电时序图；增加 PLL 电源和芯片的 DVDD10 和 DVDD33 电源的隔离磁珠的要求。</p> <p>增加图 1-9。</p> <p>修正了 DDR 关于全驱和半驱的说法。</p> <p><b>1.2.10 模拟 DAC 接口设计</b></p> <p>VDAC1_IREF 外接并联到地的 1%精密电阻中的 680Ω 改为 1.1KΩ。</p> <p>刷新 <b>1.2.4 FLASH 接口设计</b>的部分描述。</p> <p>刷新 <b>1.2.7 SPI 控制接口设计</b>的部分描述。</p> <p><b>2.2.1 电源设计</b>中，删除“电源管脚摆放的去耦电容，并且在 PCB 上对 VREF 加包地屏蔽处理”的描述。</p> <p>刷新 <b>2.3 GMAC 布线设计建议</b>的部分描述。</p> <p>刷新 <b>2.4 USB 接口电路设计建议</b>的部分描述。</p> <p>刷新 <b>2.5 PCIE 总线 PCB 设计建议</b>的部分描述。</p> <p>修改 Hi3532 的散热片尺寸。</p>
2012-06-30	00B20	<p>Hi3531 的内核电压及相关描述由 1.0V 改为 1.03V；Hi3532 的内核电压及相关描述由 1.0V 改为 1.15V</p> <p><b>第 1 章 原理图设计建议</b></p> <p>1.2.1.1 删除“支持 DDR3L，即在 DDR3 时，支持 1.35V”的描述。</p> <p>1.2.1.3 外接 DDR3 时，删除采用 Fly-by 拓扑结构的相关描述及示意图</p> <p>1.2.7 增加“Hi3531 SPI 控制接口的片选信号 SPI_CSN6(管脚 AA33)”的注意事项。</p> <p><b>第 3 章 单板热设计建议</b></p> <p>增加 Hi3532 的散热片选择的相关描述。</p>



修订日期	版本	修订说明
2012-05-15	00B10	<p><b>第 1 章 原理图设计建议</b></p> <p>1.1.5 Power Supply 电路 Hi3532 推荐供电能力为 5A 以上的电源芯片。</p> <p><b>第 2 章 PCB 设计建议</b></p> <p>2.2 DDR2/3 SDRAM 接口中的 PCB 布线建议处修改相邻信号走线间距要求</p> <p>2.7 HDMI 接口走线设计建议 增加对 Hi3531 信号走线长度的要求。</p> <p>2.10 系统电源、地设计建议 Hi3532 的主芯片 core 电源通道的铜皮过流能力和宽度要求分别改为 5A 和 200mil。 增加针对 Hi3531、Hi3532 的滤波电容的相关描述。</p>
2012-03-25	00B03	<p><b>第 1 章 原理图设计建议</b></p> <p>1.1.5 Power Supply 电路 Hi3531 的 CORE 电源芯片的选型要求的供电能力最小值由 6A 改为 8A。 Hi3532 的 CORE 电源芯片的选型要求的供电能力最小值由 2A 改为 4A；DVDD33 的最大电流由 80mA 改为 90mA。</p> <p>1.2.9 HDMI 输出接口设计 增加推荐隔离磁珠的相关描述。</p> <p>1.2.10 模拟 DAC 接口设计 VDAC1_IREF 外接 1%精密电阻由 1.1K 改为 680Ω</p> <p><b>第 2 章 PCB 设计建议</b></p> <p>2.10 系统电源、地设计建议 分别增加 Hi3531 和 Hi3532 的主芯片 core 电源通道的铜皮过流能力和宽度要求。</p> <p><b>第 3 章 单板热设计建议</b></p> <p>3.2.2 PCB 热设计 增加散热片的选择相关描述。</p>
2011-11-10	00B02	第 2 次临时版本发布。
2011-09-30	00B01	第 1 次临时版本发布。



# 目 录

前 言.....	iii
<b>1 原理图设计建议.....</b>	<b>1</b>
1.1 小系统外部电路要求.....	1
1.1.1 Clocking 电路.....	1
1.1.2 复位和 Watchdog 电路.....	1
1.1.3 JTAG Debug 接口.....	2
1.1.4 Hi3531/Hi3532 硬件初始化系统配置电路.....	3
1.1.5 Power Supply 电路.....	5
1.2 Hi3531/Hi3532 接口电路设计.....	7
1.2.1 DDR2/3 接口.....	7
1.2.2 USB2.0 Host 接口.....	15
1.2.3 GMAC 接口设计.....	16
1.2.4 FLASH 接口设计.....	18
1.2.5 PCIe 接口设计.....	18
1.2.6 SATA 接口设计.....	19
1.2.7 SPI 控制接口设计.....	19
1.2.8 I <sup>2</sup> S 接口设计.....	20
1.2.9 HDMI 输出接口设计.....	20
1.2.10 模拟 DAC 接口设计.....	20
1.2.11 VI/VO 接口设计.....	21
<b>2 PCB 设计建议.....</b>	<b>22</b>
2.1 Fanout 封装设计建议.....	22
2.2 DDR2/3 SDRAM 接口.....	28
2.2.1 电源设计.....	28
2.2.2 信号设计(以 16bit DDR3 为例).....	28
2.3 GMAC 布线设计建议.....	36
2.4 USB 接口电路设计建议.....	36
2.5 PCIE 总线 PCB 设计建议.....	37
2.6 SATA 接口走线设计建议.....	37
2.7 HDMI 接口走线设计建议.....	37



---

2.8 VI/VO 接口走线设计建议.....	38
2.9 系统以及外设复位信号走线设计建议.....	38
2.10 系统电源、地设计建议.....	38
2.11 PCB 信号完整性仿真设计建议.....	39
<b>3 单板热设计建议.....</b>	<b>40</b>
3.1 工作条件.....	40
3.2 原理图设计.....	40
3.2.1 电源.....	40
3.2.2 闲置模块低功耗配置.....	40
3.3 PCB 设计.....	40
3.3.1 器件布局.....	40
3.3.2 散热设计要求.....	41



## 插图目录

图 1-1 推荐晶振连接方式及器件参数.....	1
图 1-2 复位和 Watchdog 典型设计电路.....	2
图 1-3 JTAG 连接方式及标准连接器管脚定义 .....	3
图 1-4 电源上电时序图 .....	6
图 1-5 电源下电时序图 .....	6
图 1-6 Hi3531 与 DDR3 的拓扑结构图(以单个 DDRC 接口为例).....	8
图 1-7 Hi3531 与 DDR2 的拓扑结构图 .....	9
图 1-8 DDR3 电源分压网络参考设计图 .....	10
图 1-9 PADHL、PADLO、RTT 引脚连接图.....	10
图 1-10 DDR2 应用中，差分时钟 DDR_CLK_N、DDR_CLK_P 一驱一应用.....	12
图 1-11 DDR2 应用中，差分时钟 DDR_CLK_N、DDR_CLK_P 一驱二应用.....	12
图 1-12 DDR3 应用中，差分时钟 DDR_CLK_N、DDR_CLK_P 一驱一应用.....	13
图 1-13 DDR3 应用中，双负载，采用 T 型结构，差分时钟 DDR_CLK_P/N 一驱二应用.....	13
图 1-14 地址和控制信号一驱一应用.....	14
图 1-15 地址和控制信号一驱二应用.....	14
图 1-16 地址和控制信号单负载应用.....	14
图 1-17 地址和控制信号双负载应用.....	15
图 1-18 Hi3531 RGMII 模式下的信号连接图 .....	16
图 1-19 Hi3531 MII 模式下的信号连接图.....	17
图 1-20 Hi3532 MII 模式下的信号连接图.....	18
图 2-1 Hi3531 的 Pin 脚排布 .....	23
图 2-2 Hi3531 芯片中间电源、地管脚排布.....	23
图 2-3 Hi3531 芯片管脚中间打过孔(见黄色亮点).....	24
图 2-4 Hi3531 芯片管脚中间打过孔时，GND 层 BGA 下方的回流通道 .....	25
图 2-5 Hi3531 芯片外 6 圈管脚信号的过孔.....	26





---

图 2-6 Hi3531 芯片中间 1.03V 管脚与 GND 管脚过孔(高亮显示为 Top 层 1.03V 铜皮、过孔).....	26
图 2-7 Hi3532 芯片管脚排布.....	27
图 2-8 Hi3532 芯片下方过孔在 GND 层的排列.....	27
图 2-9 Hi3531 晶体与 DDR 部分充分隔离: .....	30
图 2-10 Hi3532 10uf 滤波电容摆放位置局部放大图.....	39
图 3-1 推荐 Hi3531 散热片图示.....	41
图 3-2 推荐 Hi3532 散热片图示.....	42



## 表格目录

表 1-1 JTAG Debug 接口信号 .....	2
表 1-2 TEST_MODE 模式说明 .....	3
表 1-3 信号描述 .....	3
表 1-4 PADLO 和 PADHI 上下拉电阻与芯片 DDRC 引脚驱动电阻的关系 .....	10
表 1-5 ODT 阻抗列表 .....	11
表 2-1 Hi3531 基板上 DDR 信号走线长度表 .....	30
表 2-2 Hi3532 基板上 DDR 信号走线长度表 .....	33



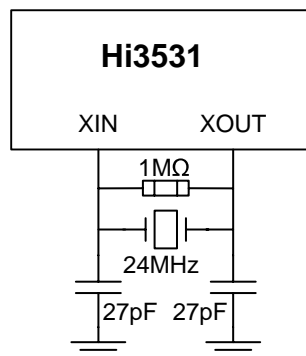
# 1 原理图设计建议

## 1.1 小系统外部电路要求

### 1.1.1 Clocking 电路

通过芯片内部的反馈电路与外部的 24MHz 晶体振荡电路一起构成系统时钟电路。  
推荐晶振连接方式及器件参数如图 1-1 所示。

图1-1 推荐晶振连接方式及器件参数



另外，系统时钟还可以直接由外部的时钟电路产生时钟，通过 XIN 脚输入。

备注：该部分 Hi3532 与 Hi3531 一致。

### 1.1.2 复位和 Watchdog 电路

Hi3531 的 RSTN 管脚为复位信号输入管脚，要求的复位有效信号为低电平脉冲，脉冲宽度大于 12 个 XIN 管脚输入的晶振时钟周期（一般复位脉冲宽度为 100ms~300ms）。

板级设计时，为了系统稳定，建议采用专用的复位芯片产生复位信号，复位 Hi3531 系统异常时，Hi3531 可以通过 WDG\_RSTN 管脚产生低电平脉冲，因此可以把 WDGRST 管脚连接到系统复位芯片的输入上来复位整个系统。

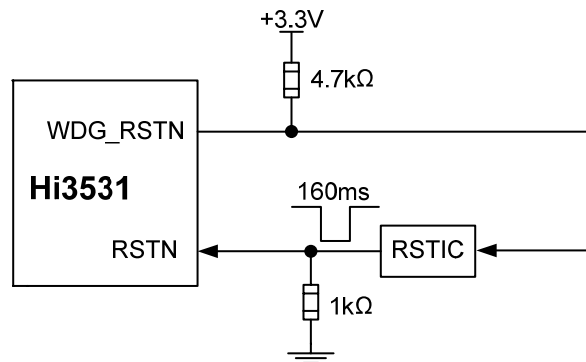


### 注意

需要注意的是，WDG\_RSTN 管脚为 OD 输出，必须外置上拉电阻；并且 WDG\_RSTN 引脚不能和 RSTN 引脚直连。

复位和 Watchdog 典型设计电路如图 1-2 所示。

图1-2 复位和 Watchdog 典型设计电路



备注：Hi3532 的复位系统设计同 Hi3531。

## 1.1.3 JTAG Debug 接口

Hi3531 JTAG 接口符合 IEEE1149.1 标准。PC 可通过此接口连接 Realview-ICE 仿真器。JTAG Debug 接口信号描述如表 1-1 所示。

表1-1 JTAG Debug 接口信号

信号名	信号描述
TCK	JTAG 时钟输入，芯片内部下拉。建议单板上拉。
TDI	JTAG 数据输入，芯片内部上拉。建议单板上拉。
TMS	JTAG 模式选择输入，芯片内部上拉。建议单板上拉。
TRSTN	JTAG 复位输入，芯片内部下拉。正常工作建议单板上拉。
TDO	JTAG 数据输出。建议单板上拉。

芯片外部上拉电阻、芯片外部下拉电阻的阻值请参见图 1-3。

Hi3531 可以通过 TEST\_MODE 管脚选择正常和测试两种工作模式，具体说明如表 1-2 所示。

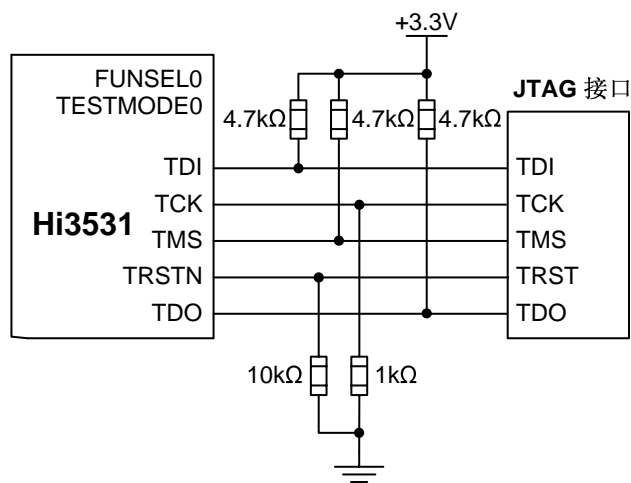


表1-2 TEST\_MODE 模式说明

TEST_MODE	模式说明
0	Hi3531 正常工作模式。
1	Hi3531 处于测试模式，此时可进行芯片 DFT 测试和板级互连测试。

JTAG 连接方式及标准连接器管脚定义如图 1-3 所示。

图1-3 JTAG 连接方式及标准连接器管脚定义



备注：Hi3532 JTAG Debug 电路同 Hi3531。

### 1.1.4 Hi3531/Hi3532 硬件初始化系统配置电路

Hi3531 内部集成 A9 CPU，支持 SPI Flash、NAND Flash、DDR 三种启动模式，支持多种 NAND Flash 规格。所以在 Hi3531 硬件初始化的过程中需要根据不同的需求进行硬件配置。单板上通过上、下拉电阻实现。

硬件配置信号描述如下表 1-3 所示。

表1-3 信号描述

信号名	方向	说明
JTAG_SEL0/JTAG_SEL1 (备注：这两个管脚与其它功能复用，硬件上可采用拨码开关实现选择)	I	表示 JTAG debug 选择。 { JTAG_SEL 1, JTAG_SEL 0}的含义如下： 00：选择 A9 debug； 01：SATA； 10：PCIe0； 11：PCIe1。



信号名	方向	说明
BOOTSEL0/BOOTSEL1	I	BOOTSEL0/BOOTSEL1 配合使用，表示启动模式选择。 {BOOTSEL1、BOOTSEL0}的含义如下： 00：选择 SPI NOR Flash 启动； 01：选择从 DDR 启动； 10：选择从 NAND flash 启动； 11：保留。
BLKSIZE	I	表示 NAND FLASH BLOCK SIZE 选择。 BLKSIZE 的含义如下： 0：64 page，SLC； 1：128page，MLC。
ECC_TYPE2/ECC_TYPE1/ ECC_TYPE0	I	表示 NAND FLASH ECC 选择。 BLKSIZE 的含义如下： 000：NO ECC； 001：1 bit； 010：4 bit； 011：8 bit； 100：24 bit for 1KB； 101：24 bit for 512B； 其他：保留。
NF_PAGE1/NF_PAGE0	I	NAND FLASH PAGE 容量的选择。 00：512 Byte； 01：2K Byte； 10：4K Byte； 11：8K Byte。
NF_ADNUM	I	选择 NAND FLASH 使用 4 个寻址周期还是 5 个寻址周期。 NAND FLASH ADDRESS=NF_ADNUM+4 NFNUM；默认是 5 个地址。
BOOTROM_SEL	I	BOOTROM 启动选择。 0：将依据 BOOTSEL0/BOOTSEL1 的配置将程序入口指向相应的空间； 1：选择从 BOOTROM 启动。

Hi3532 不支持 NAND FLASH，其硬件配置相对简单，只有两个配置项：



(1)、JTAG\_SEL:

JTAG 功能选择

0: ARM926

1: PCIE

(2)、BOOT\_SEL:

启动 memory 类型选择

0: SPIflash

1: DDR

## 1.1.5 Power Supply 电路

Hi3531/Hi3532 芯片电源需求请参考 Hi3531/Hi3532 芯片手册电性能参数。

Hi3531 单板设计时，需要注意以下几点：

- CORE 电源（管脚名 DVDD10）：连接数字 1.0V 电源。DVDD10 的设计，电源芯片的选型上，要求其供电能力 $\geq 8A$ ；依据芯片工艺要求，将内核电压设计为 1.03V，以便系统能稳定运行。
- IO 电源（管脚名 DVDD33）：连接数字 3.3V 电源。DVDD33 的最大电流 460mA，建议电源按照 30%的降额进行设计。
- DDR 电源（管脚名 DVDD1518）：连接数字 1.5V 或者 1.8V 电源。DVDD1518（不包含 DDR 颗粒）的最大电流(单个 DDR 控制器接口)300mA，Hi3531 具有两个接口，共计 600mA，建议电源按照 30%的降额进行设计，建议与所有对接的 DDR 颗粒采用同一电源设计。
- 当不使用 PCIE 模块的时候，其电源必须保持。
- 电源上电顺序：上电瞬间高电平始终高于低电平，即 3.3V 先稳定，1.5V/1.8V 次之，1.03V 最后稳定。上下电时序具体如图 1-4 和图 1-5 所示。
- 建议 PLL 的电源管脚（VDD10\_PLL1、VDD10\_PLL2345、VDDREF10\_PLL2345、AVDD33\_PLL1、AVDD33\_PLL2345）与芯片 DVDD10 和 DVDD33 电源进行隔离，磁珠要求规格为 100R@100M。具体电路设计请参考 HI3531 demo 板原理图。
- 各模块电源的要求请参考芯片手册中的电性能参数，保证电源输出电压加上纹波噪声仍然满足芯片的需求。



图1-4 电源上电时序图

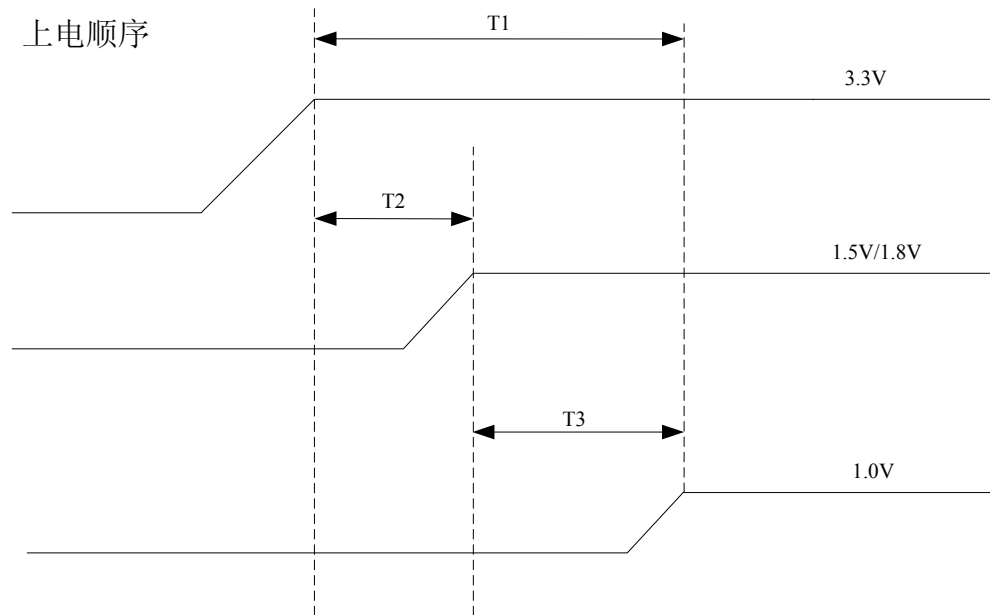
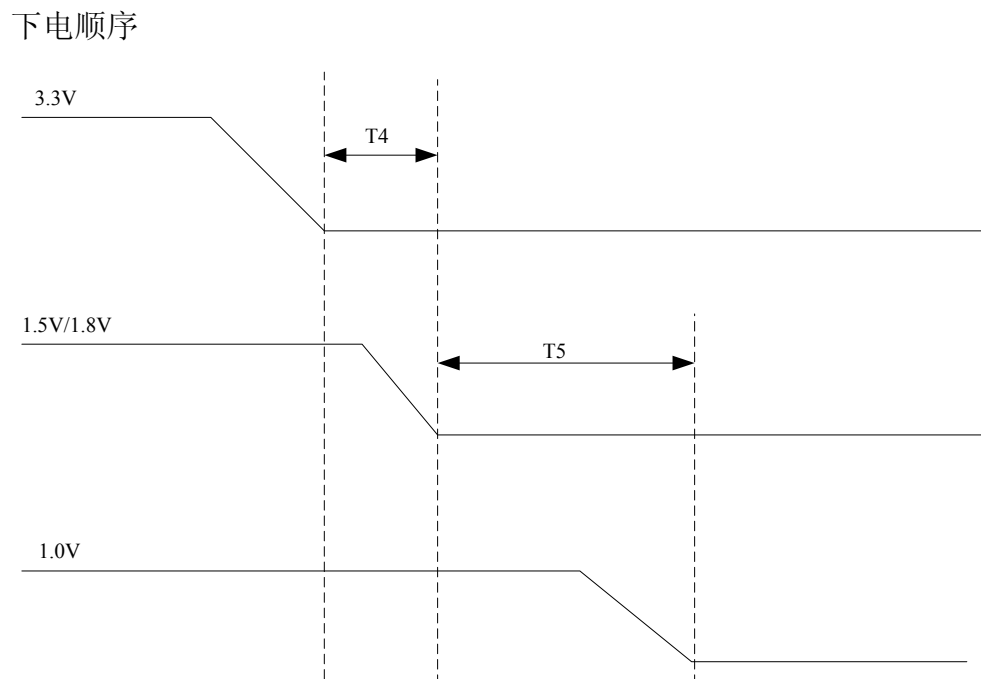


图1-5 电源下电时序图



Hi3532 系统电源的设计，与 Hi3531 的差别有以下两点：

- CORE 电源(管脚名 DVDD10)：连接数字 1.0V 电源。DVDD10 的设计，电源芯片的选型上，推荐供电能力为 5A 以上的 DC/DC 电源芯片；更详细的数据，后续提供；依据芯片工艺要求，将内核电压设计为 1.15V，以便系统能稳定运行。





- IO 电源(管脚名 DVDD33): 连接数字 3.3V 电源。DVDD33 的最大电流 90mA, 建议电源按照 30%的降额进行设计。

## 1.2 Hi3531/Hi3532 接口电路设计

### 1.2.1 DDR2/3 接口

#### 1.2.1.1 接口介绍

Hi3531/Hi3532 DDR 接口支持 DDR2, 接口电平标准为 SSTL-18, 也支持 DDR3 标准接口, 接口电平标准为 SSTL-15。

**备注: Hi3532 芯片在 DDR 接口上的设计同 Hi3531。**

Hi3531 DDRC 有如下特点:

- 提供 2 个 DDRC 接口; 每个 DDRC 具备 1 个 DDRn SDRAM 片选, 支持数据总线位宽为 32/16bit、地址总线位宽为 15bit 可配。
- DDR2 时, 每个 DDRC 接口支持: 2 片主流 16bit DDR2 器件最大容量 1Gb x 2=2Gb=256MB, 两个 DDRC 支持 4Gb(512MB); 4 片主流 8bit DDR2 器件最大容量 1Gb x 4=4Gb=512MB, 两个 DDRC 支持 8Gb(1GB); 总线频率: 400MHz~533MHz。
- DDR3 时, 每个 DDRC 接口支持: 2 片主流 16bit DDR3 器件最大容量 4Gb x 2=8Gb=1GB, 两个 DDRC 支持 16Gb(2GB); 4 片主流 8bit DDR3 器件最大容量 2Gb x 4=8Gb=1GB, 两个 DDRC 支持 8Gb(1GB); 总线频率: 533MHz~620MHz;
- 支持 DDRn SDRAM 的 Power Down、SELF Refresh 等低功耗模式。

#### 1.2.1.2 电路设计建议

#### DDR 拓扑结构

Hi3531 典型外接 DDR3 SDRAM 拓扑结构如图 1-6 所示。典型外接 DDR2 SDRAM 拓扑结构如图 1-7 所示。



图1-6 Hi3531 与 DDR3 的拓扑结构图(以单个 DDRC 接口为例)

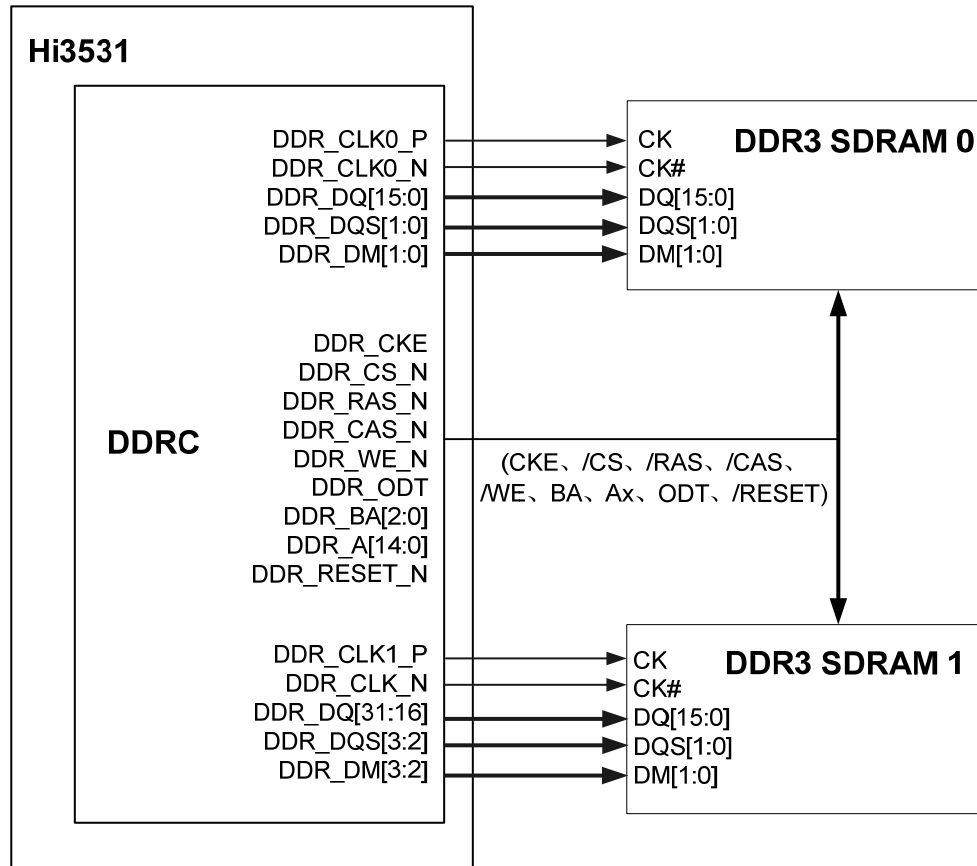
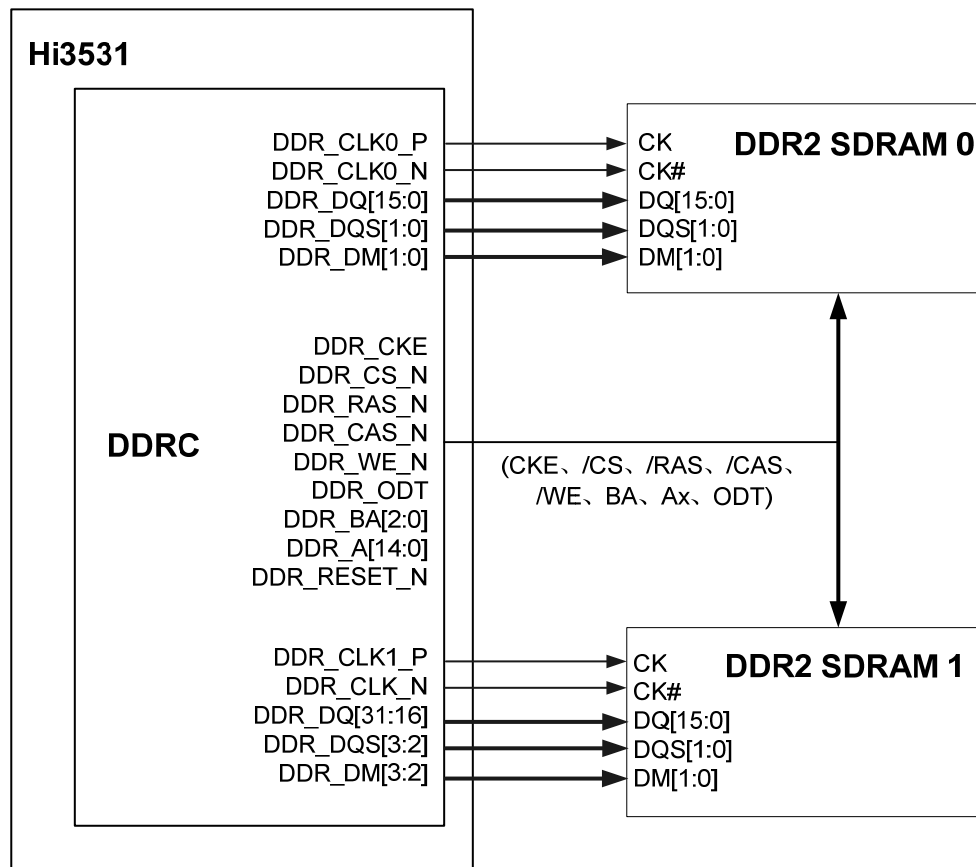




图1-7 Hi3531 与 DDR2 的拓扑结构图



## DDR 电源设计

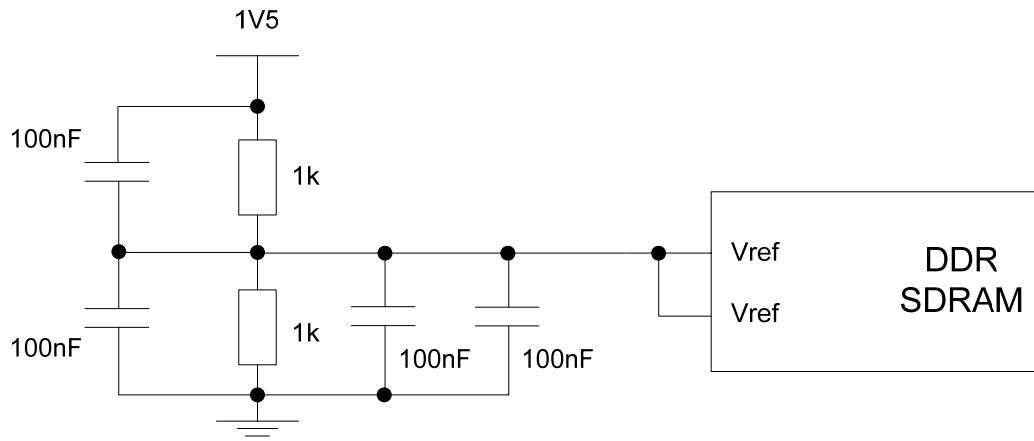
Hi3531 DDRC 及接口符合 DDR3 SSTL-15/SSTL-18 电平标准，电源需要 1.5V/1.8V，参考电压  $V_{ref}$  需要 0.75V/0.9V。必须把 Hi3531 的 1.5V/1.8V 电源与 DDR 颗粒的 1.5V/1.8V 电源统一。

建议单板上采用单独的 DC-DC 电路为 DDR3/DDR2 颗粒和 Hi3531 DDRC 1.5V/1.8V 电源管脚供电。通过 1k $\Omega$  电阻（精度 $\pm 1\%$ ）分压提供 0.75V/0.9V 的  $V_{ref}$  电压给 DDR3/DDR2 颗粒和 Hi3531 DDRC 参考电源管脚  $V_{ref}$  供电，每个电源管脚和参考电源管脚旁边放 1 个 0.1 $\mu$ F 的去耦电容。

DDR3 电源分压网络参考设计如图 1-8 所示。DDR2 电源分压网络设计和图 1-8 类似，只是电源电压变为 1.8V。



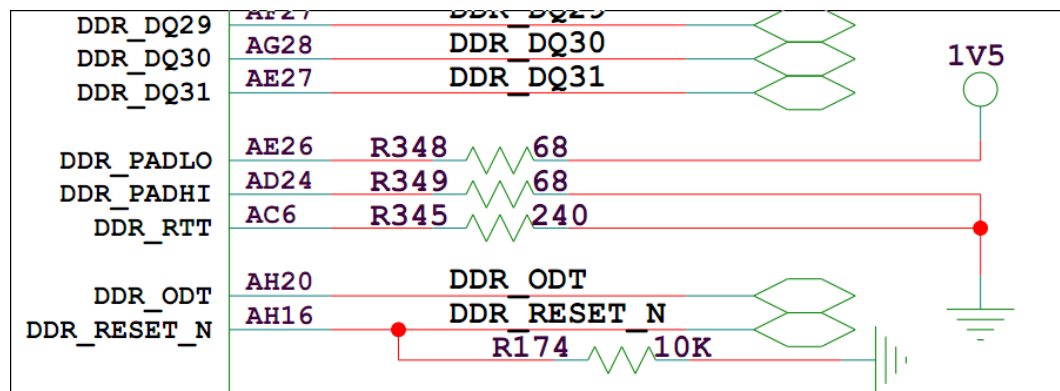
图1-8 DDR3 电源分压网络参考设计图



## DDR\_PADLO、DDR\_PADHI、DDR\_RTT 引脚的设计

DDR\_PADLO 和 DDR\_PADHI 这两个引脚是用于驱动补偿，DDR\_PADHI 必须接一个下拉电阻到地，DDR\_PADLO 必须接一个上拉电阻到 VCC。上下拉电阻共同决定了芯片 DDRC 引脚驱动电阻，如图 1-9 所示。

图1-9 PADHL、PADLO、RTT 引脚连接图



- 对于 DDR2，我们通常选 SSTL\_1.8V\_ClassI 模式，上拉电阻通常选择 68Ω，根据表 1-4 的显示，驱动电阻为 34Ω。
- 对于 DDR3，我们通常选 SSTL\_1.5V 模式，上拉电阻通常选择 68Ω，根据表 1-4 的显示，驱动电阻为 34Ω。

表1-4 PADLO 和 PADHI 上下拉电阻与芯片 DDRC 引脚驱动电阻的关系

Mode	上拉电阻 (Ω)	下拉电阻 (Ω)	驱动阻抗 (Ω)
HSTL_1.5V_ClassI	78	78	39
HSTL_1.5V_ClassII	44	44	22



Mode	上拉电阻 (Ω)	下拉电阻 (Ω)	驱动阻抗 (Ω)
SSTL_1.8V_ClassI	68	68	34
SSTL_1.8V_ClassII	38	38	19
SSTL_2.5V_ClassI	78	78	39
SSTL_2.5V_ClassII	43	43	21.5
SSTL_1.5V	68	68	34

DDR\_RTT 是用做 RTT 补偿。DDR\_RTT 必须接一个电阻 R 到地，该电阻和内部寄存器的设置共同决定 ODT 阻抗的大小。

对于 DDR2 来说，外部电阻通常选择 300Ω。如表 1-5 所示，如果内部寄存器 REN75 和 REN150 配置成 01，则 ODT 阻抗等于 150Ω；如果 REN75 和 REN150 配置成 1x，则 ODT 阻抗等于 75Ω。

对于 DDR3 来说，外部电阻通常选择 240Ω，根据表 1-5 所示。REN75 和 REN150 配置成 01，则 ODT 等于 120Ω；REN75 和 REN150 配置成 1x，则 ODT 等于 60Ω。

表1-5 ODT 阻抗列表

REN75	REN150	External Resistance	RTT Value
0	0	Any	No RTT
0	1	200	100
0	1	240	120
0	1	300	150
1	X	200	50
1	X	240	60
1	X	300	75

### 1.2.1.3 匹配方式设计建议

#### DQ、DQS 双向信号

Hi3531 DDR 应用中 DQ、DQS\_P/DQS\_N 信号都是点对点拓扑：

- 外接 DDR2 时：
  - 写数据(即 Hi3531 输出，下同)时，直连，采用 SSTL\_1.8V\_ClassI 模式，DDR 端开启 75Ω ODT；
  - 读数据(即 Hi3531 输入，下同)时，直连，Hi3531 端开启 75Ω ODT。
- 外接 DDR3 时：



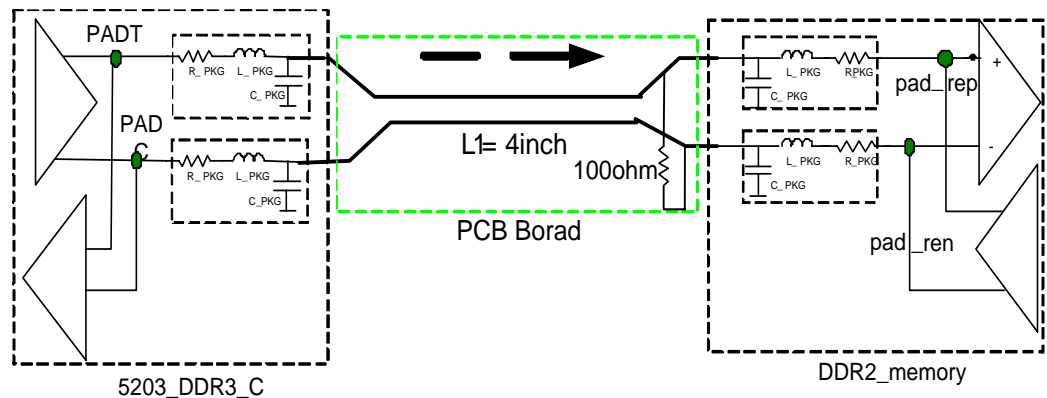
- 写数据时，直连，Hi3531 芯片端输出阻抗为 34 欧姆，DDR 端开启 60Ω ODT；
- 读数据时，直连，DDR 端输出阻抗为 34 欧姆，Hi3531 芯片端开启 60Ω 阻抗。

## 差分时钟

Hi3531 DDR 应用中差分时钟 DDR\_CLK\_N、DDR\_CLK\_P 信号有一驱一、一驱二两种应用：

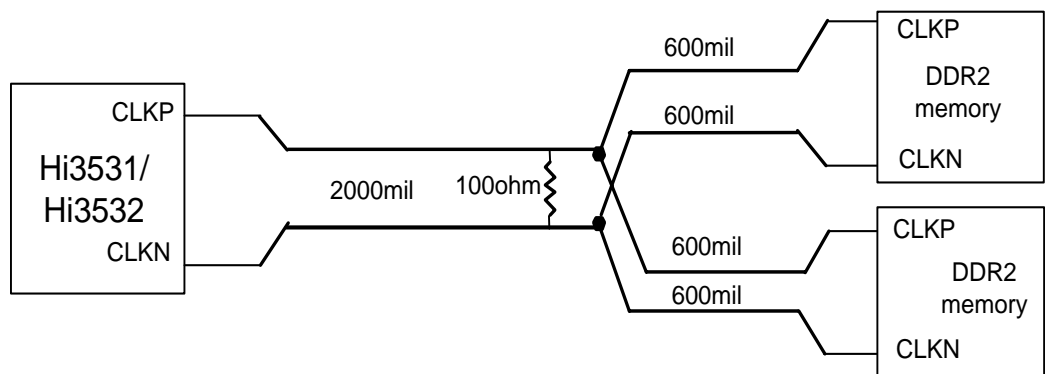
- 外接 DDR2 时：
  - 在单负载情况下，写数据时，在负载端跨接 100Ω 电阻；如图 1-10 所示。
  - 双负载情况下，写数据时，在负载端分支点跨接 100Ω 电阻；如图 1-11 所示。

图1-10 DDR2 应用中，差分时钟 DDR\_CLK\_N、DDR\_CLK\_P 一驱一应用



(注：图中的长度为最长的走线长度，实际走线一般小于该长度值，下同)

图1-11 DDR2 应用中，差分时钟 DDR\_CLK\_N、DDR\_CLK\_P 一驱二应用



- 外接 DDR3 时：
  - 在单负载情况下，负载端时钟信号的 N/P 分别上拉 120Ω 电阻至 1.5V，同时，下拉 120Ω 电阻到地，如图 1-12 所示。



- 在双负载情况下，采用 T 型拓扑结构，如图 1-13 所示；在时钟信号的分支点(T 点)跨接 120Ω 电阻。

图1-12 DDR3 应用中，差分时钟 DDR\_CLK\_N、DDR\_CLK\_P 一驱一应用

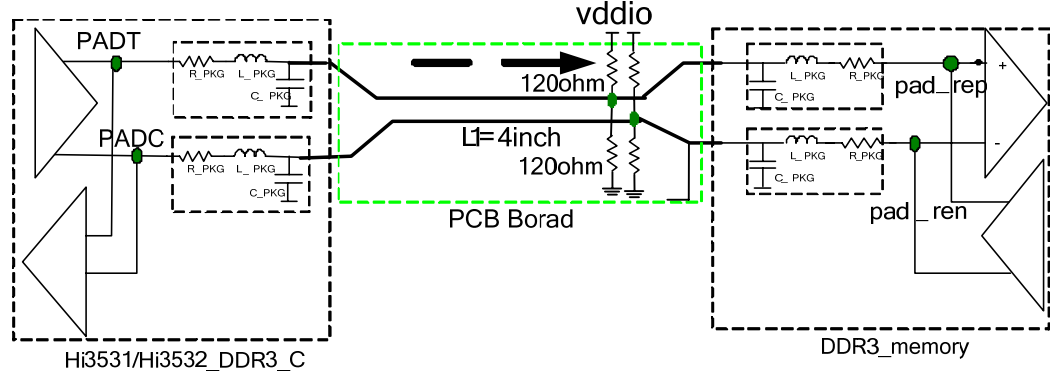
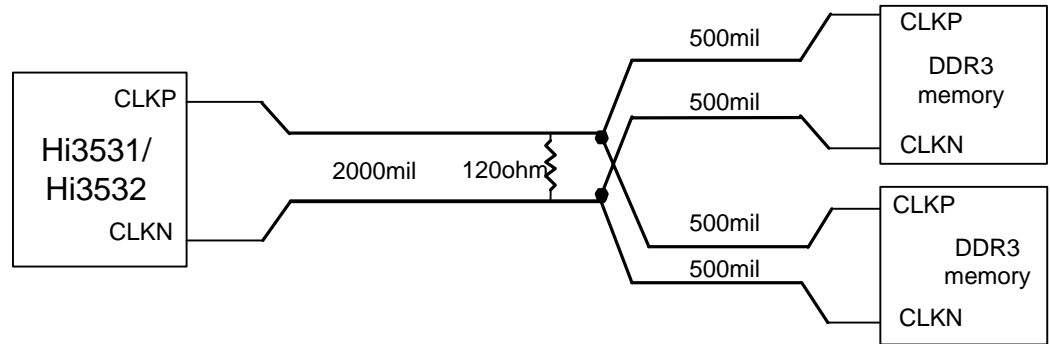


图1-13 DDR3 应用中，双负载，采用 T 型结构，差分时钟 DDR\_CLK\_P/N 一驱二应用



## 地址信号、控制信号

DDR3 和 DDR2 的地址和控制信号有二种应用，一驱一、一驱二(以 16bit 位宽为例)。

在外挂 DDR2 时：

- (1)、单负载情况下，直连，如图 1-14 所示；
- (2)、双负载情况下，直连，T 型拓扑结构，如图 1-15 所示；



图1-14 地址和控制信号一驱一应用

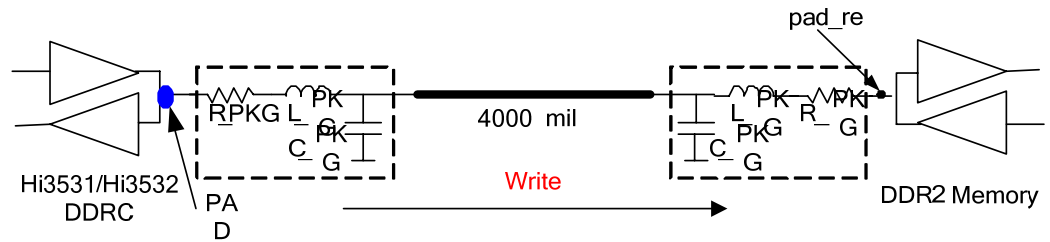
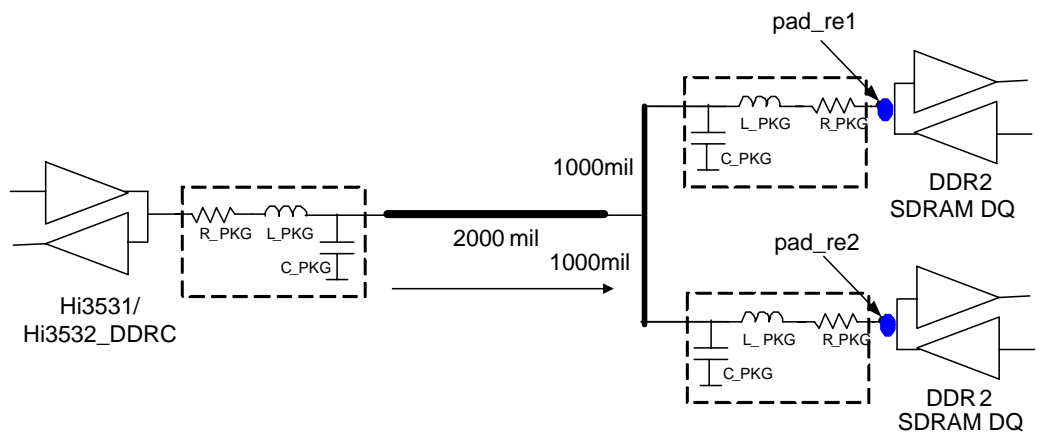


图1-15 地址和控制信号一驱二应用



外挂 DDR3 时:

- (1)、在单负载时，直接直连，如图 1-16 所示；
- (2)、在双负载时，采用 T 型拓扑结构，如图 1-17 所示；

图1-16 地址和控制信号单负载应用

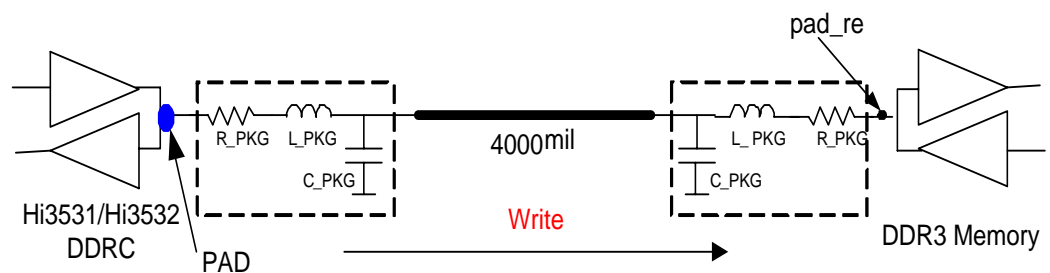
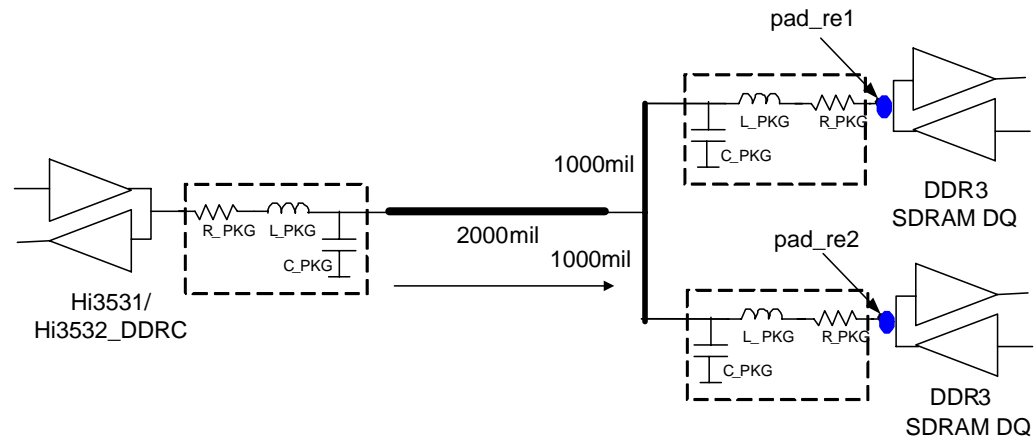






图1-17 地址和控制信号双负载应用



## 数据掩码信号

Hi3531 DDR3 和 DDR2 应用中 DM 信号都是点对点拓扑，直连即可。

备注：Hi3532 在 DDR 模块的设计与 Hi3531 完全一致。

### 1.2.1.4 器件选型建议

Hi3531 DDRC 接口 DDR3 最高工作频率支持到 620MHz，DDR2 最高工作频率支持 533MHz；目前主流的 DDR3/2 颗粒都可以满足需求，选择主要依据容量需求和成本考虑。详细内容请参见《Hi3531 兼容器件列表》。

## 1.2.2 USB2.0 Host 接口

### 1.2.2.1 接口介绍

Hi3531 USB2.0 Host 支持 USB2.0 协议，支持低速、高速和全速模式。USB2.0 Host 模块在 Hi3531 内是独立的模块，可以选择使用，不发送接收数据时，可以关闭此模块，以降低芯片功耗。

### 1.2.2.2 USB 电路设计建议

#### USB 电源设计建议

模拟电源 AVDD33\_USB 要求与数字电源隔离，推荐采用平面方式，以减小寄生效应、耦合噪声和供电阻抗，并在芯片邻近管脚摆放滤波电容。

数字电源和地 DVDD10\_USB/DVSS\_USB 也应避免受干扰，尽量使用短而宽的走线。

#### USB 保护电路设计建议

为了满足 ESD 保护等要求，在电路设计时需要考虑在 USB 电路上设计保护电路。为了避免保护器件对 USB 走线信号造成影响，并能够达到良好的保护效果，建议 PCB 设计时采用如下原则：



- 保护器件建议紧靠 USB 连接器端口放置。
- 保护器件建议选用低寄生电容的 TVS 管保护器件，击穿电压 8kV，相应时间小于 1ns。
- 建议 USB2.0 高速端口保护器件的寄生电容小于 1pF。

备注：Hi3532 不支持 USB 接口。

### 1.2.3 GMAC 接口设计

Hi3531 的 GMAC 支持 RGMII 和 MII 模式，特别注意 TXCKOUT 和 TXCK 的信号连接方式。当使用 RGMII 模式的时候，Hi3531 的 RGMII\_TXCKOUT 脚和 PHY 芯片的 GTXCLK 引脚连接；当使用 MII 模式的时候，Hi3531 的 RGMII\_TXCK 引脚和 PHY 芯片的 TXCLK 引脚连接。两种模式的信号连接如图 1-18、图 1-19 所示。



说明

Hi3531 芯片具有两个 GMAC 接口，这里以一个为例进行说明。

图1-18 Hi3531 RGMII 模式下的信号连接图

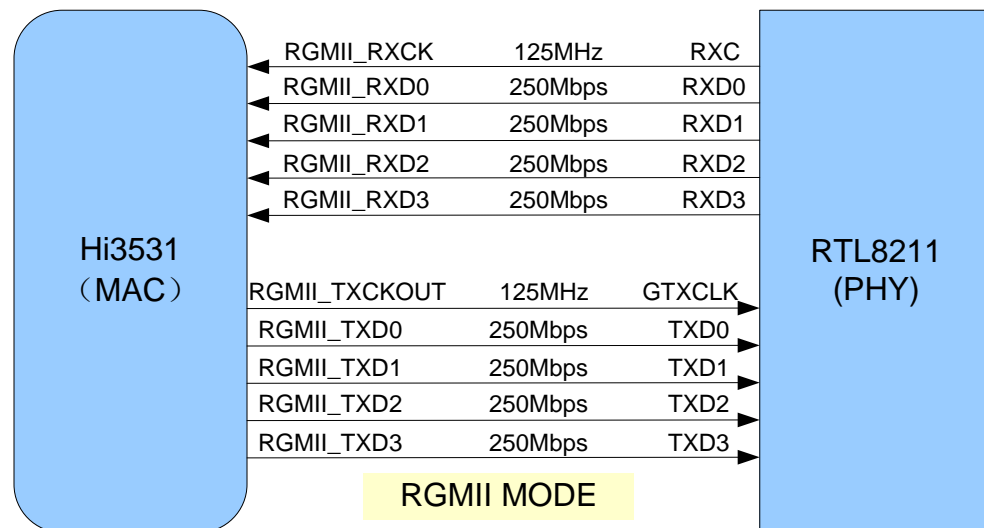
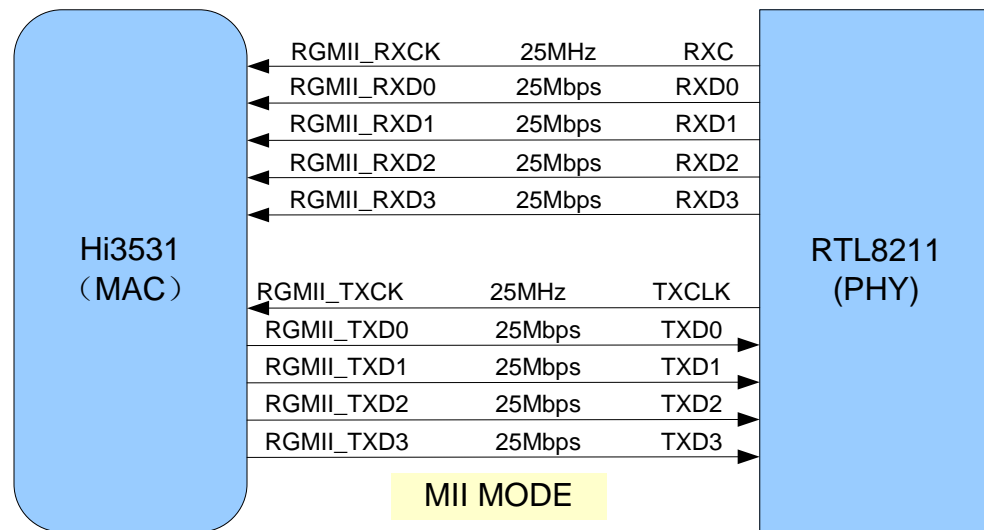




图1-19 Hi3531 MII 模式下的信号连接图



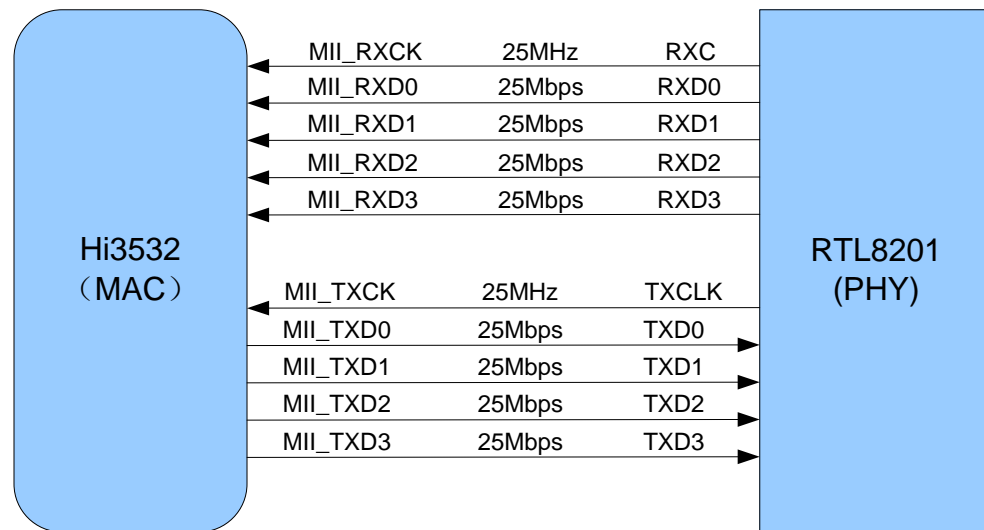
GMAC 所有信号为点对点拓扑结构（对接芯片为 RTL8211EG）。建议 PCB 走线控制在 6inch 以内。电阻匹配设计建议如下：

- MDIO 需要接上拉电阻，电阻值为 4.7k $\Omega$ 。
- TXD0~TXD3 信号在 Hi3531 端需串联 22 $\Omega$  电阻。
- MII 模式下，TXCLK 信号在对接芯片（即网口 PHY）端要串联 33 $\Omega$  电阻。
- GTXCLK 信号在 Hi3531 端要串联 22 $\Omega$  电阻。
- RXD0~RXD3 信号要在对接芯片端（即网口 PHY）串联 22 $\Omega$  电阻。
- RGMII\_RXCK 信号要在对接芯片端（即网口 PHY）串联 22 $\Omega$  电阻。

Hi3532 不支持 GMAC 接口，但 VOU0 接口可以复用为 MII 接口，Hi3532 在连接百兆 PHY 时，Hi3532 的 VOU0\_DATA3/MII\_RXCK 管脚和 PHY 芯片的 RXCK 引脚连接，VOU0\_DATA14/MII\_TXCK 与 PHY 芯片的 TXCK 引脚连接，信号的连接如图 1-20 所示。



图1-20 Hi3532 MII 模式下的信号连接图



电路设计建议如下：

- MDIO 需要接上拉电阻，电阻值为 1.5kΩ。
- TXD0~TXD3 信号在 Hi3532 端需串联 22Ω 电阻。
- 建议源端匹配 22Ω 电阻。

## 1.2.4 FLASH 接口设计

Hi3531 可以同时支持 NAND Flash 和 SPI Nor Flash。根据负载方案和板级情况，来确定具体的拓扑结构和匹配方式。

Hi3531 的 NFC (NAND Flash Controller) 和 SFC (SPI Nor Flash Controller) 都有两个 CS 信号，用于兼容两个 CS 引脚的器件或者两个 Flash 器件的应用。



### 注意

- 如果 Hi3531 选择从 SPI Nor Flash 进行 boot，该 SPI Nor Flash 的片选需要接到 Hi3531 的 SFC\_CS1N。
- 如果 Hi3531 选择从 NAND Flash 进行 boot，该 NAND Flash 的片选需要接到 Hi3531 的 NF\_CS0。

备注：Hi3532 不支持 NAND FLASH；同时，Hi3532 的 VIU4 接口可复用为 SPI flash 控制接口，以连接 SPI flash，详细请参见 Hi3532DMO 板原理图。

## 1.2.5 PCIe 接口设计

Hi3531 具有 2 个 PCIe1.1 接口，主从模式可以配置



- PCIe 接口的 1.03V 与 2.5V 电源需要与系统的 1.03V、2.5V 电源隔离，靠近芯片管脚端具有滤波电容；
- 在接口 Tx 差分端，注意在信号线上串接 100nf 电容进行 AC 耦合；
- 走线长度建议不超过 20inch；
- 同一个 PCIe 接口在接 PCIe 插槽与金手指时，注意，Tx 与 Rx 信号在插槽与金手指上的连接，详细见 Hi3531DMO 板原理图。

Hi3532 只有一个 PCIe1.1 接口，通常来说，作为 PCIe 从设备接口。

- PCIe 接口的 1.15V 与 2.5V 电源需要与系统的 1.15V、2.5V 电源隔离，靠近芯片管脚端具有滤波电容。
- 在接口 Tx 差分端，注意在信号线上串接 100nf 电容进行 AC 耦合。
- 走线长度建议不超过 20inch。
- 通常情况下，Hi3532 PCIe 接口作 PCIe 从设备接口，若要将 Hi3532 的 PCIe 接口做主设备接口，则需要提供外部 100M 的差分时钟。

## 1.2.6 SATA 接口设计

Hi3531 提供了 2 个 SATA2.6 接口，每个 SATA 口均支持 PM 功能，也支持 eSATA 功能，支持时钟门控，在不使用的情况下，可以进行 Power Down 控制降低功耗；

- SATA 接口的 1.03V 与 2.5V 电源需要与系统 1.03V、2.5V 电源隔离，靠近芯片管脚端需要有滤波电容；
- SATA 接口的 Rx、Tx 差分信号上串接的 10nf 陶瓷贴片电容应靠近 SATA 插座；
- SATA 接口电源如通过主板进行 12V、5V 的供电，建议此两个电源需要采用  $\pi$  型滤波；
- 走线长度建议不超过 5inch。

**备注：Hi3532 不支持 SATA 接口。**

## 1.2.7 SPI 控制接口设计

Hi3531/Hi3532 提供一个 SPI 的时钟信号、数据输入、数据输出管脚各一个，外加 8 个片选信号，主要用于对接具有 SPI 控制接口的外设；SPI\_CLK 最高时钟频率可达 40MHz。

- 对于单负载情况，建议在源端串接 47 $\Omega$  电阻；两根数据线源端串接 33 $\Omega$  电阻；
- 多负载情况时，若采用菊花链的连接方式，设定 SPI\_CLK 工作频率时，需要考虑走线延迟以及信号经过器件时的延迟，走线延迟的时间参数，1000mil 走线的延迟时间，参考值为 180ps。
- 针对 Hi3531 SPI 控制接口的片选信号 SPI\_CSN6(管脚 AA33)需要注意，该管脚在其复用关系中，与 NF\_ECC\_TYPE1 以及 GPIO18\_5 复用，需要重点注意的是，这个管脚默认是输出信号，在用作 GPIO 模式的情况下，若连接的外设在默认情况下也是输出状态，则会产生冲突，同时，这个管脚还要做 PowerLock，与该管



脚连接的外设一旦默认情况下也为输出状态，则会导致 Nand Boot 失败；因此，不推荐客户将该管脚作为 GPIO 口使用。

## 1.2.8 I<sup>2</sup>S 接口设计

Hi3531 提供 5 组 I<sup>2</sup>S 音频信号接口；该接口在设计上没有太多的要求，稍微注意的是：

- SIO0~3 四组 I<sup>2</sup>S 信号只作为单向输入接口；
- SIO4 I<sup>2</sup>S 信号作为双向输入、输出接口。

备注：Hi3532 提供 5 组 I<sup>2</sup>S 音频信号接口，SIO0~3 的功能同 Hi3531；第五组 I<sup>2</sup>S 信号 SIO4 支持双向数据，但是 SIO4 接口功能是 VIU4 接口的一个复用功能，详细请参见 Hi3532DMO 板原理图。

## 1.2.9 HDMI 输出接口设计

Hi3531 自身内置了一个 HDMI PHY，能直接输出 HDMI 信号。

- 给 HDMI 接口模块供电的 1.03V，需要与系统 1.03V 隔离并在芯片管脚端有足够的滤波电容；推荐隔离磁珠采用 1000Ω@100MHz，磁珠后面需增加 100uf/6.3V 的陶瓷电容；
- HDMI\_REXT 管脚外接参考电阻，推荐采用 1%的精密电阻 6.8KΩ 与 51KΩ 电阻并联；
- HDMI 四组差分信号上需要有 ESD 保护，ESD 器件靠近 HDMI 接口放置；
- HDMI 接口专用的 I<sup>2</sup>C 信号，注意需要经过电平转换(由 3.3V 转为 5V)方能连接到 HDMI 接口；
- HDMI 接口电路注意防倒灌设计，详细见 Hi3531DMO 板原理图。

备注：Hi3532 本身不直接支持 HDMI 接口。

## 1.2.10 模拟 DAC 接口设计

Hi3531 提供两组 Video DAC。

- 第一组 Video DAC 的 VDAC0\_IOUT0、VDAC0\_IOUT1 作为 CVBS 信号的输出，在设计中，注意阻抗的匹配；注意：VDAC0\_IOUT2 管脚并没有模拟信号输出，在设计上需要外接 75Ω 电阻到地；VDAC0\_VDREF 外接 10nf、1nf 电容并联到地；VDAC0\_IREF 外接 1%精密电阻 1.1KΩ、51KΩ 电阻并联到地；详细设计见 Hi3531DMO 板原理图；
- 第二组 Video DAC 的 VDAC1\_IOUT0、VDAC1\_IOUT1、VDAC1\_IOUT2 分别作为 Pr/B、Pb/G、Y/R 信号的输出，在设计中，注意阻抗的匹配；VDAC1\_VDREF 外接 10nf、1nf 电容并联到地；VDAC1\_IREF 外接 1%精密电阻 1.1KΩ、51KΩ 电阻并联到地；R、G、B 信号与 VGA\_HS/VS 一起可输出 VGA 信号；详细设计见 Hi3531DMO 板原理图；
- 给两组 Video DAC 供电的 3.3V 电源注意与系统 3.3V 隔离并确保模拟 DAC 的 3.3V 电源管脚有足够的滤波电容。



备注：Hi3532 不支持 VDAC 接口。

## 1.2.11 VI/VO 接口设计

在物理接口上，Hi3531 共有 4 个 BT1120 接口。

- 共有三个 VIU1120 接口，即，VIU0、VIU1、VIU2 接口在物理上可作为 BT1120 输入接口；
- 有一个 VOU1120 接口作为 BT1120 输出；
- VOU1120 接口可复用为 VIU3，作为 BT1120 接口输入；
- VIU0、VIU1、VIU2、VOU1120 接口可以分别拆分为 2 个 BT656 输入接口，此时，VIUx\_CLK 信号作为高 8 位的采样时钟信号，VIUx\_HS 作为低 8 位的采样时钟信号；
- VIU0、VIU1、VIU2、VOU1120 接口可以分别拆分为 2 个 BT656 输出接口，此时，VIUx\_CLK 信号作为高 8 位的采样时钟信号，VIUx\_HS 作为低 8 位的采样时钟信号；
- VIU0、VIU1、VIU2、VOU1120 物理接口的高 8 位加采样时钟信号可以作为 4 路 D1 的输入；同时 VIU0、VIU2 物理接口的高、低 8 位加采样时钟都可以处理 4 路 D1 的输入；
- 级联输入的接口，只能是 VIU1；
- VOU1120 接口的 VOU1120[15: 9]还复用为 SD 卡接口；

具体信息参加 Hi3531 芯片管脚描述；详细电路设计见 Hi3531DMO 板原理图。

备注：Hi3532 共支持 5 组 BT1120 接口，VIU0~3 四组 VI 信号作为 BT1120 输入接口，VIU4 也支持 BT1120 的输入(主要作级联输入接口使用)，但同时也复用为其他功能；VOU0 作为 BT1120 的输出，可作为级联输出接口，同时也复用为 MII 接口；VIU0~3 在拆分成两个 BT656 接口时，需要重点注意的是，Hi3532 与 Hi3531 在 VI/VO 部分有一个很重要的差别，即，在拆分为两个 BT656 接口时，低 8 位数据的采样时钟信号，Hi3531 是将 BT1120 接口的行同步信号(HS)作为低 8 位数据的采样时钟，以 VIU0 为例，在将 VIU0 拆分为两个 BT656 输入/输出接口时，低 8 位数据的采样时钟信号就是 VIU0\_HS；而 Hi3532 则是将 BT1120 的场同步信号(VS)作为低 8 位数据的采样时钟信号，以 Hi3532 的 VIU0 为例，在拆分为两个 BT656 输入/输出接口时，VIU0\_VS 信号就作为低 8 位数据组成的 BT656 接口的采样时钟信号。详细请对比 Hi3531DMO 与 Hi3532DMO 原理图 symbol。



# 2 PCB 设计建议

## 2.1 Fanout 封装设计建议

Hi3531 芯片采用 FLIP-CHIP 封装，封装尺寸为 25mm×25mm，共计 817 个管脚，管脚间距为 0.65mm。具体的芯片尺寸和封装请参见 Hi3531 芯片资料的硬件章节。

当 Hi3531 所有的信号都引出时，为了满足信号完整性要求，并且考虑到高密度 BGA 封装的信号管脚布线，建议采用 6 层 PCB 单板设计，层叠结构建议如下：

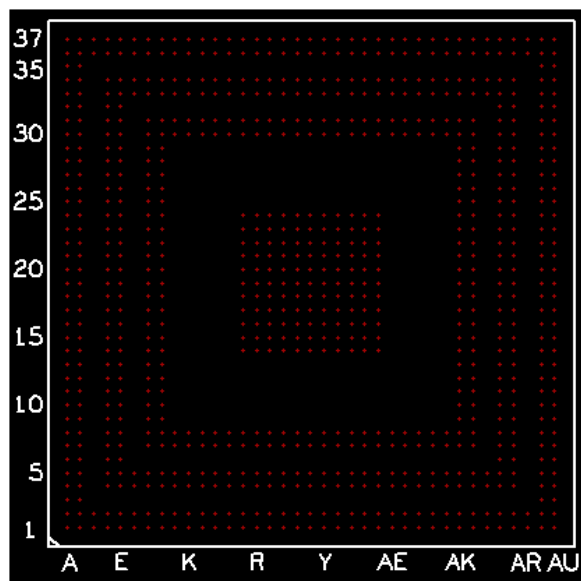
- TOP 层：信号层 1（器件层 1）；
- 第 2 层：地平面层；
- 第 3 层：信号层 2；
- 第 4 层：信号层 3；
- 第 5 层：电源平面层；
- BOTTOM 层：信号层 4（器件层 2）。

Hi3531 的 Pin 脚排布如[图 2-1](#) 所示。





图2-1 Hi3531 的 Pin 脚排布



外围六圈管脚为信号管脚以及部分模块的电源、地管脚；中间部分主要为 Core 电源管脚以及地管脚，中间管脚的排布如图 2-2 所示。

图2-2 Hi3531 芯片中间电源、地管脚排布

DVDD10_USB	DVSS_USB	DVDD10	VSS	DVDD10	VSS	DVDD10	VSS	DVDD10	VSS	DVDD10
VDD10_PLL1	DVDD10	VSS	DVDD10	VSS	DVDD10	VSS	DVDD10	VSS	DVDD10	VSS
VDDREF10_PLL2_345	VSS	DVDD10	VSS	DVDD10	VSS	DVDD10	VSS	DVDD10	VSS	DVDD10
VDD10_PLL2345	DVDD10	VSS	DVDD10	VSS	DVDD10	VSS	DVDD10	VSS	DVDD10	VSS
DVDD10	VSS	DVDD10	VSS	DVDD10	VSS	DVDD10	VSS	DVDD10	VSS	DVDD10
VSS	DVDD10	VSS	DVDD10	VSS	DVDD10	VSS	DVDD10	VSS	DVDD10	VSS
DDR1_REF	VSS	DVDD10	VSS	DVDD10	VSS	DVDD10	VSS	DVDD10	VSS	DVDD10
VSS	DVDD10	VSS	DVDD10	VSS	DVDD10	VSS	DVDD10	VSS	DVDD10	VSS
DDR1_REF	VSS	DVDD10	VSS	DVDD10	VSS	DVDD10	VSS	DVDD10	VSS	DVDD10
VSS	DVDD10	VSS	DVDD10	VSS	DVDD10	VSS	DVDD10	VSS	DVDD10	VSS
DVDD10	VSS	DVDD10	VSS	DDR0_REF	VSS	DDR0_REF	VSS	DVDD10	VSS	DVDD10

#### PCB Fanout 设计注意事项:

由于 Hi3531 芯片尺寸为 25 x 25，管脚 Ball 典型尺寸为 0.35mm，因此芯片 PCB 封装焊盘尺寸大小为 0.3mm，同时 Hi3531 采用 0.65pitch 的间距，这样对于 BGA 下方的过孔有一定的要求，这里介绍两种方式：

1、BGA 下方过孔尺寸采用内径 8mil，过孔焊盘外径 16mil(即 8/16 的过孔)的过孔；用户在 PCB 设计过程中可以将过孔打在相邻两圈信号管脚的中间；在中间的 1.03V 与 GND 管脚区域，可以在管脚中间打过孔取电或打地过孔，但 BGA 焊盘边沿与过孔焊盘边沿的间距为 4mil，如果用户的 PCB 供应厂商能达到这样的工艺水平，那么可以采



用这样的设计，但是在打过孔时注意在 GND 层需要确保回流通道，具体如图 2-3 和图 2-4 所示。

2、BGA 下方的过孔，对于外围六圈信号管脚来说，过孔打在第 2 与 3 圈、4 与 5 圈信号管脚之间的空白区域(最外围信号为第一圈信号管脚)；中间 Core 电源 1.03V 与 GND 管脚区域，过孔不打在中间区域，而打在中间区域的外围，1.03V 通过外围过孔取电给 Top 层的 1.03V 铜皮网络(备注：过孔数量建议不要少于 18 个，Top 层 1.03V 管脚通过铺铜连接，1.03V 管脚之间的连线宽度尽量宽)，同时注意 GND 层的回流通道，具体如图 2-4 和图 2-5 所示。注意，此时，1.03V 的滤波电容不再是靠近每个 1.03V 电源管脚，而是靠近 BGA 下方 1.03V 的过孔。这种方式，BGA 管脚焊盘边沿与过孔边沿的间距可以做到 5mil，一般的 PCB 板厂可满足 5mil 的工艺水平。

图2-3 Hi3531 芯片管脚中间打过孔(见黄色亮点)

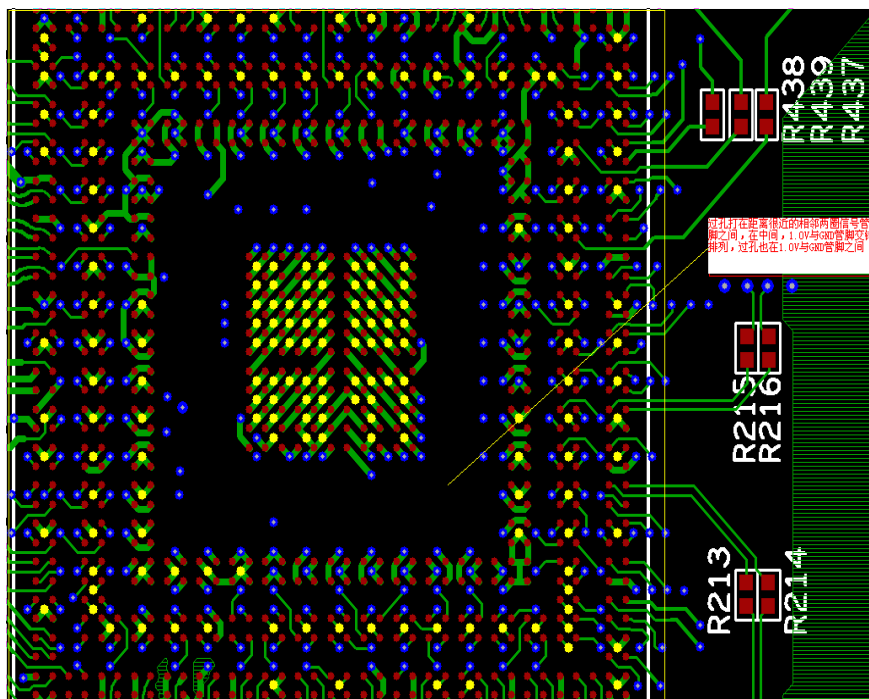




图2-4 Hi3531 芯片管脚中间打过孔时，GND 层 BGA 下方的回流通道

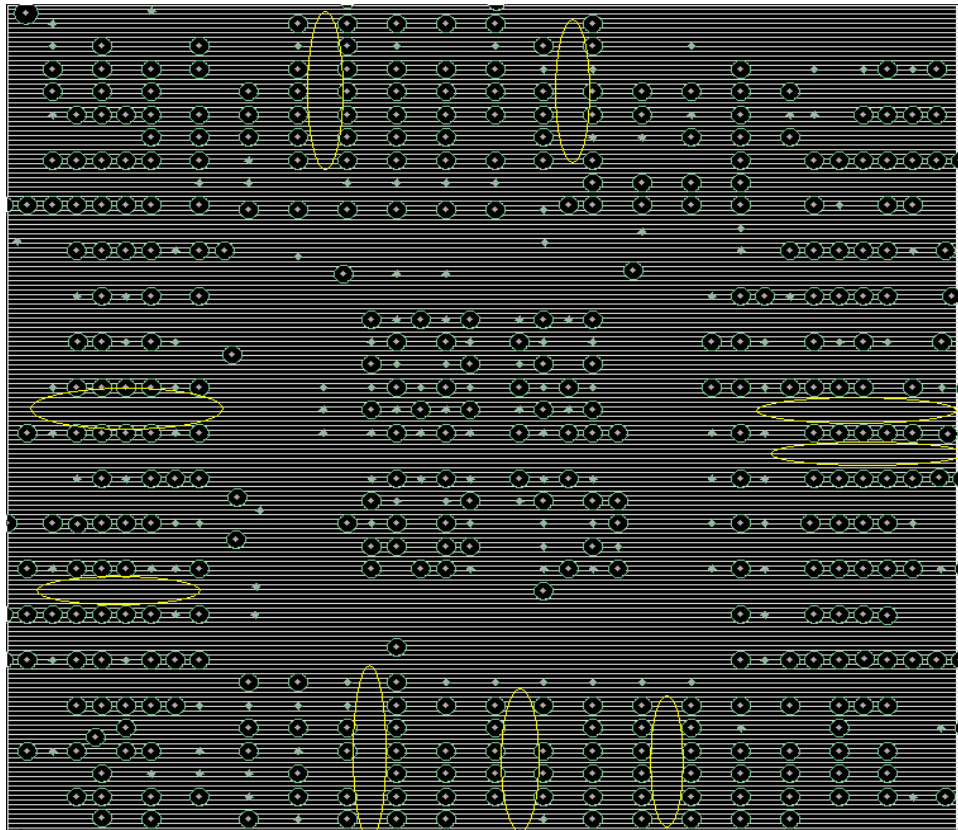




图2-5 Hi3531 芯片外 6 圈管脚信号的过孔

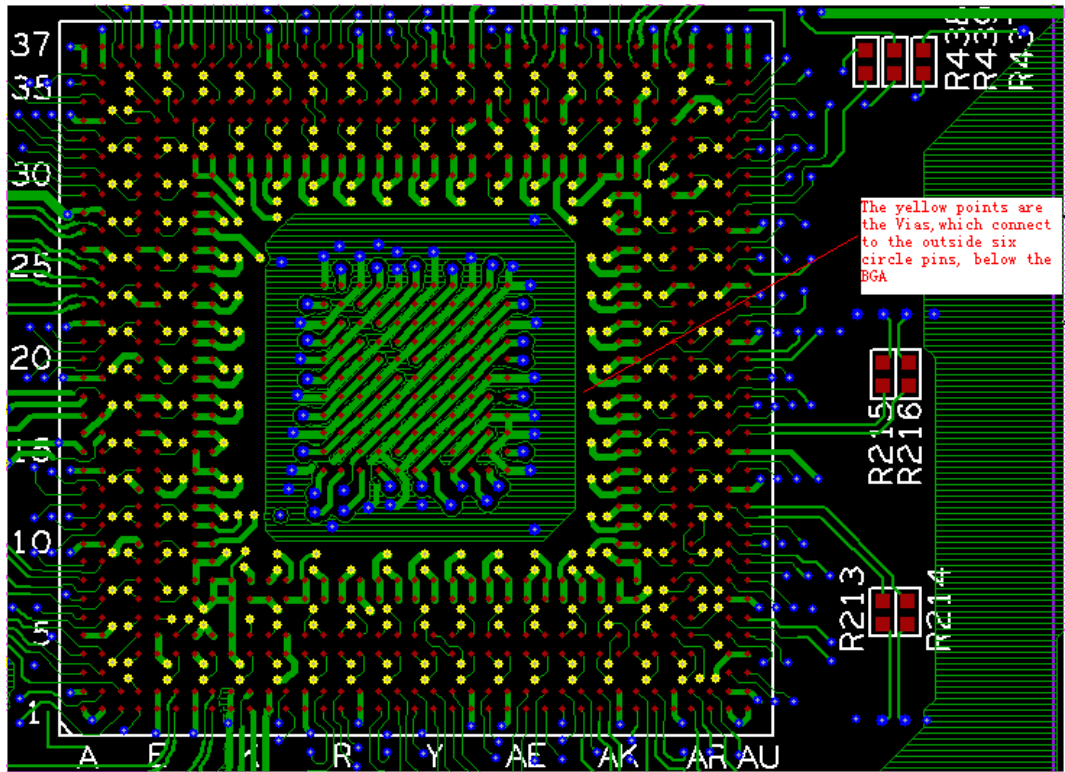
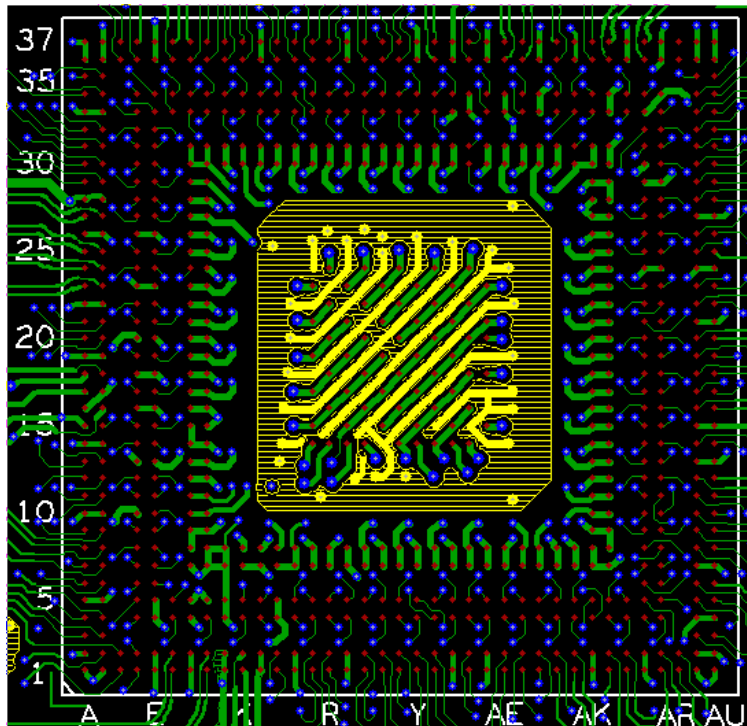


图2-6 Hi3531 芯片中间 1.03V 管脚与 GND 管脚过孔(高亮显示为 Top 层 1.03V 铜皮、过孔)



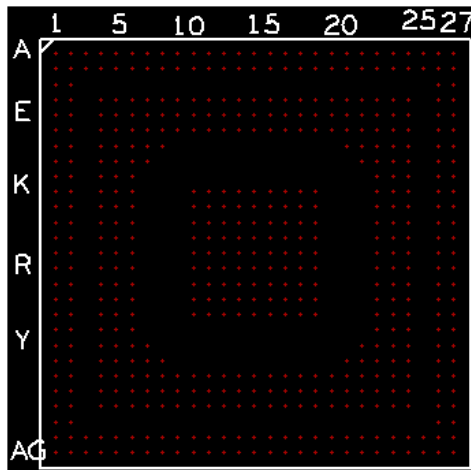


Hi3531 的电源管脚 3.3V、1.5V 或 1.03V 都尽可能通过较为完整的电源平面层供电。

Hi3532 芯片尺寸为 18x18(mm)，也采用 0.65pitch，Ball Size 为 0.3mm，PCB 封装上，焊盘为 0.25mm，与 Hi3531 在 Pin 排布上不一样，信号的出线不存在 Hi3531 的问题，Hi3532 芯片端的信号 Fanout 以及其他 Layout 方面需要注意的问题如下：

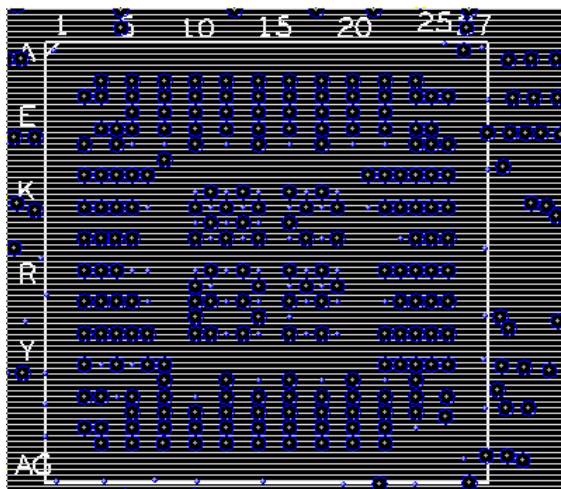
- Hi3532 芯片的管脚排布，如图 2-7 所示。  
中心区域为 Core 电压与 GND 管脚；外围管脚为信号引脚以及各模块的电源以及 GND 管脚。

图2-7 Hi3532 芯片管脚排布



- Hi3532 芯片管脚尺寸为 0.3mm，PCB 封装上焊盘为 0.25mm，焊盘中心间距为 0.65mm，因此，相对 Hi3531 来说，在四个相邻管脚中间打内径 8mil，外径 16mil 的过孔不存在工艺问题。但需要注意过孔的排列要确保 GND 层的回流通道，如图 2-8 所示。

图2-8 Hi3532 芯片下方过孔在 GND 层的排列





## 2.2 DDR2/3 SDRAM 接口

### 2.2.1 电源设计

为了满足 DDR2/3 总线高带宽的性能要求，Hi3531/Hi3532 内部集成了支持 SSTL-15/SSTL-18 电平标准的端口驱动器，所以建议板级布线遵循 SSTL-15/SSTL-18 信号布线设计规范。

Hi3531/Hi3532 和 DDR2/3 SDRAM 的 VREF (0.9V/0.75V) 电源都必须和其他电源隔离，可以通过较宽的走线 (20mil 及以上) 连接，保证每个电源管脚尽可能就近摆放去耦电容。DDR2/3 颗粒 1.5V/1.8V 电源管脚与 Hi3531 DDR 1.5V/1.8V 电源管脚连接到同一个电源网络，每个电源管脚旁边尽可能就近摆放去耦电容。

VREF 参考电压设计建议如下：

- 参考电压设计时，需要重点关注参考电压的布线。根据 SSTL-15 协议要求，VREF 参考电压上的噪声不得超过  $\pm 1\%$ ，为了降低噪声，VREF 走线宽度尽量宽，建议将 VREF 在电源平面层通过铜皮布线，且不能作为信号线的参考平面。
- 每个 VREF pin 要加去耦电容且走线尽量宽，与其他信号线间隔 20mil~25mil。

### 2.2.2 信号设计(以 16bit DDR3 为例)

#### 时钟信号 CLK

时钟信号 CLK 的长度要求如下：

- CLK 信号走线长度最长不能超过 4inch；
- CLK 差分对信号走线严格走差分，差分对内部走线的长度差推荐小于 5mil，即： $|LCLKxP-LCLKxN| < 5mil$ ；
- DDR 走线线宽和线间距不能小于 4mil。

#### 数据选通信号线 DQS

数据选通信号线 DQS 的长度要求如下：

- DQS 差分对内部两根信号线严格等长，差分走线长度偏差推荐小于 5mil，即： $|LDQSxP-LDQSxN| < 5mil$ ；
- DQS 以 CLK 时钟走线长度为参照进行走线，其走线长度相对于 CLK 的走线长度允许的偏差为  $\pm 250mil$ ，即： $LDQSx = LCLKx \pm 250mil$ 。

#### 数据信号线 DQ[0:31]

数据信号线 DQ[31: 0]的走线长度以 DQS 作为参考，偏差 50mil，具体如下：

- DQ[7:0]以 DQS0 的走线长度为参照进行走线，允许偏差范围为 50mi，即： $LDQ[7:0] = LDQS0 \pm 50mil$ ；
- DQ[15:8]以 DQS1 的走线长度为参照进行走线，允许偏差范围为 50mil，即： $LDQ[15:8] = LDQS1 \pm 50mil$ ；



- DQ[23:16]以 DQS2 的走线长度为参照进行走线，允许偏差范围为 50mil，即：  
 $LDQ[23:16] = LDQS2 \pm 50\text{mil}$ ;
- DQ[31:24]以 DQS3 的走线长度为参照进行走线，允许偏差范围为 50mil，即：  
 $LDQ[31:24] = LDQS3 \pm 50\text{mil}$ ;
- 数据走线推荐以 GND 层为参考平面，在无法满足的情况下，要求同组同层走线。

## 数据掩码信号线 DM

数据掩码信号线 DM 的走线长度以 DQS 为参考，要求如下：

- DM0 以 DQS0 的走线长度为参照进行走线，允许偏差范围为 50mil。
- DM1 以 DQS1 的走线长度为参照进行走线，允许偏差范围为 50mil。
- DM2 以 DQS2 的走线长度为参照进行走线，允许偏差范围为 50mil。
- DM3 以 DQS3 的走线长度为参照进行走线，允许偏差范围为 50mil。

## 地址信号线 ADDR[0:14]

地址信号线 ADDR[0:14]的长度要求如下：

- ADDR[0:14]以 CLK 时钟走线长度为参照进行走线，允许的差范围为 100mil，即：  
 $LADDR = LCLK \pm 100\text{mil}$ ;
- 地址线采用 T 型走线，T 点到 Hi3531 端管脚的走线，最长不超过 2inch；T 点到 DDR 颗粒端管脚的走线，最长不超过 1inch。

## 控制信号线

控制信号线 BA[0:2]、DM、CKE、CSN、WEN、CASN、RASN、ODT 的长度要求如下：

- 控制信号线以 CLK 时钟走线长度为参照进行走线，允许偏差范围为 100mil；
- 为减小信号反射，建议所有 DDR3 SDRAM 接口信号走线避免穿越电源地分割区域，保持完整的电源地参考平面，单板 PCB 设计时传输线阻抗控制在  $50\Omega \pm 10\%$ ，DDR3 时钟差分线阻抗控制在  $100\Omega \pm 10\%$ 。

## PCB 布线建议

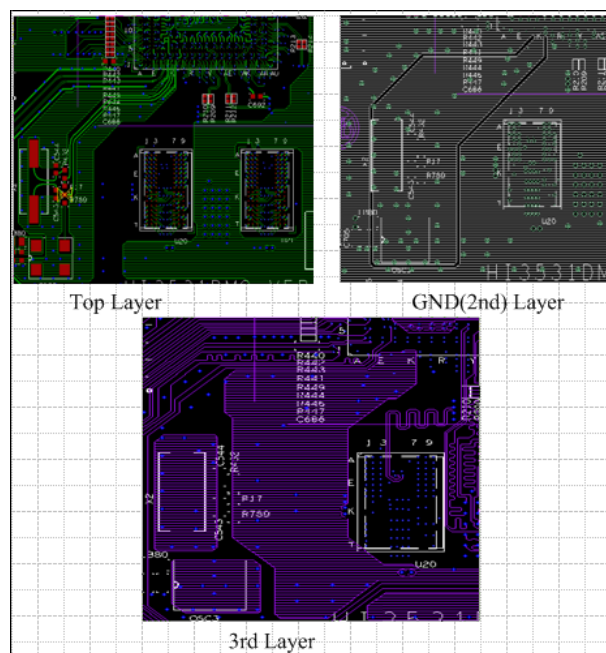
建议 PCB 布线设计采用以下原则：

- 所有 DDR3 SDRAM 信号走线必须分布在邻近地平面的走线层，避免信号走线穿越电源或地分割区域，必须保证 DDR 信号走线都有完整的参考平面；
- 信号走线及换层过孔附近放置与地连通的过孔，保持良好的信号回流路径；
- 信号线尽量短，走线路径上尽量少打过孔，保证走线阻抗的连续性。单端信号 PCB 走线特性阻抗  $50\Omega \pm 10\%$ ，差分信号 PCB 走线特性阻抗  $100\Omega \pm 10\%$ ；
- 使用排组时，同一排组上的信号须属于同一 DDR 信号线组，尤其避免 DQS 与地址/控制线分布在同一个组排上；
- 相邻信号走线间距至少保持在 3 倍线宽，即满足“3W”原则；



- 避免时钟信号紧邻数据、地址总线；
- 避免地址信号紧邻数据信号；
- DDR3 SDRAM 信号与非 DDR3 SDRAM 信号走线间隔至少 20mil；
- 每个 VREF pin 要加去耦电容且走线尽量宽，与其他信号线间隔 20mil~25mil；
- **重要：**由于在 Hi3531 的管脚排布上，DDR 接口与系统时钟信号靠近，因此，要求晶体信号走线尽量不要与 DDR 信号线公用回流路径，而且晶体模块与 DDR 部分充分隔离，如图 2-9 所示。详细设计见 Hi3531DMO 板 PCB 设计文件。

图2-9 Hi3531 晶体与 DDR 部分充分隔离：



在 Top 层、第二层(GND 层)晶体周边的地都在 Hi3531 管脚端与系统地单点接地。

- 对于 DDR 信号线走线长度的控制，尤其是等长的控制，推荐用户采取联合芯片内部基板走线长度与单板走线长度一起控制等长，以下为 Hi3531 芯片内部 DDR 接口信号在基板上的走线长度如表 2-1 所示。

表2-1 Hi3531 基板上 DDR 信号走线长度表

信号名	基板走线长度 unit: mil	信号名	基板走线长度 unit: mil
DDR0_A0	304.9062992	DDR1_A0	311.3212598
DDR0_A1	392.8649606	DDR1_A1	383.776378
DDR0_A2	274.1653543	DDR1_A2	287.9933071
DDR0_A3	318.6047244	DDR1_A3	293.4413386
DDR0_A4	291.1759843	DDR1_A4	271.0732283





信号名	基板走线长度 unit: mil	信号名	基板走线长度 unit: mil
DDR0_A5	303.8464567	DDR1_A5	315.4456693
DDR0_A6	312.8645669	DDR1_A6	303.492126
DDR0_A7	283.2177165	DDR1_A7	279.0314961
DDR0_A8	397.1720472	DDR1_A8	401.7035433
DDR0_A9	298.2366142	DDR1_A9	317.7149606
DDR0_A10	443.207874	DDR1_A10	401.3055118
DDR0_A11	355.3161417	DDR1_A11	366.0937008
DDR0_A12	276.8251969	DDR1_A12	284.4251969
DDR0_A13	359.0870079	DDR1_A13	383.7712598
DDR0_A14	391.6149606	DDR1_A14	395.0295276
DDR0_BA0	371.8125984	DDR1_BA0	350.4870079
DDR0_BA1	408.6771654	DDR1_BA1	376.0397638
DDR0_BA2	297.8456693	DDR1_BA2	267.219685
DDR0_CAS_N	318.1807087	DDR1_CAS_N	298.1755906
DDR0_CKE	331.6200787	DDR1_CKE	285.0877953
DDR0_ODT	298.1051181	DDR1_ODT	263.4681102
DDR0_PADHI	299.8503937	DDR1_PADHI	347.8527559
DDR0_PADLO	281.673622	DDR1_PADLO	330.5437008
DDR0_RAS_N	296.492126	DDR1_RAS_N	264.7165354
DDR0_RESET_N	387.8917323	DDR1_RESET_N	342.4566929
DDR0_RTT	360.3948819	DDR1_RTT	301.9956693
DDR0_WE_N	331.138189	DDR1_WE_N	287.0625984
DDR0_CS_N	377.5185039	DDR1_CLK0_N	367.9653543
DDR0_CLK0_N	403.2393701	DDR1_CLK0_P	371.2751969
DDR0_CLK0_P	400.319685	DDR1_CLK1_N	402.596063
DDR0_CLK1_N	385.1531496	DDR1_CLK1_P	398.9830709
DDR0_CLK1_P	388.6523622	DDR1_CS_N	352.4649606
DDR0_DQ0	329.8507874	DDR1_DQ0	287.8354331
DDR0_DQ1	421.6661417	DDR1_DQ1	375.4181102



信号名	基板走线长度 unit: mil	信号名	基板走线长度 unit: mil
DDR0_DQ2	388.1511811	DDR1_DQ2	354.8275591
DDR0_DQ3	342.2527559	DDR1_DQ3	287.4476378
DDR0_DM0	349.973622	DDR1_DM0	306.8275591
DDR0_DQS0_N	424.1740157	DDR1_DQS0_N	381.7527559
DDR0_DQS0_P	425.3633858	DDR1_DQS0_P	379.019685
DDR0_DQ4	321.8744094	DDR1_DQ4	264.4937008
DDR0_DQ5	349.1354331	DDR1_DQ5	308.1287402
DDR0_DQ6	344.7637795	DDR1_DQ6	273.9503937
DDR0_DQ7	360.5602362	DDR1_DQ7	296.2326772
DDR0_DQ8	387.7566929	DDR1_DQ8	310.0787402
DDR0_DQ9	452.4905512	DDR1_DQ9	397.688189
DDR0_DQ10	431.161811	DDR1_DQ10	364.3984252
DDR0_DQ11	379.5397638	DDR1_DQ11	319.5582677
DDR0_DM1	390.6629921	DDR1_DM1	312.707874
DDR0_DQS1_N	458.7232283	DDR1_DQS1_N	399.911811
DDR0_DQS1_P	459.2027559	DDR1_DQS1_P	399.3629921
DDR0_DQ12	349.0783465	DDR1_DQ12	295.9188976
DDR0_DQ13	478.5590551	DDR1_DQ13	406.9480315
DDR0_DQ14	383.4885827	DDR1_DQ14	330.2279528
DDR0_DQ15	451.6759843	DDR1_DQ15	376.1905512
DDR0_DQ16	270.7405512	DDR1_DQ16	328.1385827
DDR0_DQ17	356.9425197	DDR1_DQ17	407.9334646
DDR0_DQ18	299.807874	DDR1_DQ18	351.2901575
DDR0_DQ19	272.6027559	DDR1_DQ19	353.6015748
DDR0_DM2	434.9956693	DDR1_DM2	479.1783465
DDR0_DQS2_N	390.0417323	DDR1_DQS2_N	432.7047244
DDR0_DQS2_P	387.3255906	DDR1_DQS2_P	434.0740157
DDR0_DQ20	294.534252	DDR1_DQ20	360.8507874
DDR0_DQ21	404.4456693	DDR1_DQ21	443.8031496



信号名	基板走线长度 unit: mil	信号名	基板走线长度 unit: mil
DDR0_DQ22	373.176378	DDR1_DQ22	429.3826772
DDR0_DQ23	398.4464567	DDR1_DQ23	444.7326772
DDR0_DQ24	384.0917323	DDR1_DQ24	414.3204724
DDR0_DQ25	363.3326772	DDR1_DQ25	380.0716535
DDR0_DQ26	294.0783465	DDR1_DQ26	323.0311024
DDR0_DQ27	272.6830709	DDR1_DQ27	289.6818898
DDR0_DM3	288.9248031	DDR1_DM3	327.026378
DDR0_DQS3_N	384.3629921	DDR1_DQS3_N	422.1712598
DDR0_DQS3_P	387.4480315	DDR1_DQS3_P	419.3385827
DDR0_DQ28	267.2366142	DDR1_DQ28	293.7370079
DDR0_DQ29	288.157874	DDR1_DQ29	336.765748
DDR0_DQ30	390.8929134	DDR1_DQ30	426.5330709
DDR0_DQ31	259.4062992	DDR1_DQ31	313.3051181

Hi3532 DDR 部分走线，也建议联合芯片基板走线长度与单板走线长度，表 2-2 为 Hi3532 芯片内基板的走线长度表。

表2-2 Hi3532 基板上 DDR 信号走线长度表

信号名	基板走线长度 unit: mil	信号名	基板走线长度 unit: mil
DDR0_A0	219.2177165	DDR1_A0	220.0913385
DDR0_A1	183.0783465	DDR1_A1	182.5712598
DDR0_A2	189.5413386	DDR1_A2	184.488189
DDR0_A3	126.1622047	DDR1_A3	226.8759842
DDR0_A4	182.7271654	DDR1_A4	145.6330708
DDR0_A5	167.3358268	DDR1_A5	176.7606299
DDR0_A6	162.6228346	DDR1_A6	165.1901575
DDR0_A7	201.7988189	DDR1_A7	200.7972441
DDR0_A8	186.1228346	DDR1_A8	206.1350394
DDR0_A9	151.619685	DDR1_A9	195.6980315



信号名	基板走线长度 unit: mil	信号名	基板走线长度 unit: mil
DDR0_A10	185.284252	DDR1_A10	180.8893701
DDR0_A11	159.1685039	DDR1_A11	173.0228346
DDR0_A12	124.680314	DDR1_A12	157.1023622
DDR0_A13	202.373622	DDR1_A13	225.0996063
DDR0_A14	184.7102362	DDR1_A14	209.4755906
DDR0_BA0	219.5893701	DDR1_BA0	219.6102362
DDR0_BA1	235.7161417	DDR1_BA1	223.0440945
DDR0_BA2	119.3562992	DDR1_BA2	138.7314961
DDR0_CAS_N	225.4125984	DDR1_CAS_N	130.6551181
DDR0_CKE	205.3169291	DDR1_CKE	125.3677165
DDR0_RAS_N	156.3877952	DDR1_RAS_N	107.5094488
DDR0_RESET_N	234.2586614	DDR1_WE_N	158.5681102
DDR0_WE_N	213.3027559	DDR1_CS_N	167.7098425
DDR0_ODT	208.5090551	DDR1_ODT	248.6755905
DDR0_CS_N	183.0909448	DDR1_RESET_N	233.6685039
DDR0_CLK0_N	234.2744094	DDR1_CLK0_N	215.7019685
DDR0_CLK0_P	234.9059055	DDR1_CLK0_P	219.5622047
DDR0_CLK1_N	211.1133858	DDR1_CLK1_N	229.6740157
DDR0_CLK1_P	206.2704724	DDR1_CLK1_P	226.453937
DDR0_DQ0	252.130314	DDR1_DQ0	142.2287401
DDR0_DQ1	219.1141732	DDR1_DQ1	206.9165354
DDR0_DQ2	179.5629921	DDR1_DQ2	171.2818897
DDR0_DQ3	241.7905511	DDR1_DQ3	230.6681102
DDR0_DM0	201.4492125	DDR1_DM0	196.9996063
DDR0_DQS0_N	271.519685	DDR1_DQS0_N	253.6141732
DDR0_DQS0_P	268.1582677	DDR1_DQS0_P	253.3212598
DDR0_DQ4	245.442125	DDR1_DQ4	211.2704724
DDR0_DQ5	194.7720472	DDR1_DQ5	181.9566929
DDR0_DQ6	230.6314960	DDR1_DQ6	143.5062992



信号名	基板走线长度 unit: mil	信号名	基板走线长度 unit: mil
DDR0_DQ7	165.9098425	DDR1_DQ7	128.1929133
DDR0_DQ8	273.3295275	DDR1_DQ8	250.2830708
DDR0_DQ9	260.0964566	DDR1_DQ9	157.1011811
DDR0_DQ10	237.884251	DDR1_DQ10	213.0519685
DDR0_DQ11	225.196062	DDR1_DQ11	195.426377
DDR0_DM1	264.6385826	DDR1_DM1	161.7354331
DDR0_DQS1_N	302.5952755	DDR1_DQS1_N	263.0913385
DDR0_DQS1_P	306.592125	DDR1_DQS1_P	265.9208661
DDR0_DQ12	252.8314960	DDR1_DQ12	208.9255906
DDR0_DQ13	307.7338582	DDR1_DQ13	273.0480314
DDR0_DQ14	290.6692913	DDR1_DQ14	245.530314
DDR0_DQ15	297.2523622	DDR1_DQ15	286.0771653
DDR0_DQ16	234.089370	DDR1_DQ16	236.0322835
DDR0_DQ17	240.1740157	DDR1_DQ17	274.5322835
DDR0_DQ18	190.1838582	DDR1_DQ18	230.5468504
DDR0_DQ19	219.7767716	DDR1_DQ19	255.0811024
DDR0_DM2	231.9047244	DDR1_DM2	275.9933071
DDR0_DQS2_N	240.042125	DDR1_DQS2_N	281.7452756
DDR0_DQS2_P	243.0059055	DDR1_DQS2_P	285.5200787
DDR0_DQ20	270.6681102	DDR1_DQ20	316.0133858
DDR0_DQ21	308.0523622	DDR1_DQ21	355.9362205
DDR0_DQ22	275.4267716	DDR1_DQ22	319.5779528
DDR0_DQ23	246.8405512	DDR1_DQ23	286.7799213
DDR0_DQ24	228.361811	DDR1_DQ24	245.7944882
DDR0_DQ25	152.5791338	DDR1_DQ25	189.4716535
DDR0_DQ26	243.4751968	DDR1_DQ26	264.5948819
DDR0_DQ27	131.0185039	DDR1_DQ27	161.7744094
DDR0_DM3	142.3456693	DDR1_DM3	228.4492125
DDR0_DQS3_N	219.8700787	DDR1_DQS3_N	247.0850394



信号名	基板走线长度 unit: mil	信号名	基板走线长度 unit: mil
DDR0_DQS3_P	217.5255905	DDR1_DQS3_P	245.611811
DDR0_DQ28	198.6582677	DDR1_DQ28	227.796063
DDR0_DQ29	172.7952755	DDR1_DQ29	205.5031496
DDR0_DQ30	234.1094488	DDR1_DQ30	261.0003937
DDR0_DQ31	152.9192913	DDR1_DQ31	185.5472441

## 2.3 GMAC 布线设计建议

由于 GMAC 信号速率较高，建议 PCB 布线设计采用以下原则以减小总线信号之间的串扰：

- 避免信号走线穿越电源分割区域，保持信号参考平面完整。
- 信号线长度以时钟线为基准，控制在 $\pm 200\text{mil}$ 以内。
- 变压器芯片正下方的地需要挖空处理。
- 为了防雷击，网口地使用  $1\text{nF}/2\text{KV}$  电容和单板 GND 单点连接，网口地和单板数字地的隔离距离要大于  $3\text{mm}$ 。
- MDI+<sub>0</sub>、MDI-<sub>0</sub>、MDI+<sub>1</sub>、MDI-<sub>1</sub>、MDI+<sub>2</sub>、MDI-<sub>2</sub>、MDI+<sub>3</sub>、MDI-<sub>3</sub> 差分对尽量等长，长度差控制在  $5\text{mil}$  以内，差分阻抗控制在  $100\Omega$ 。

备注：Hi3532 无 GMAC 接口，其 MII 接口走线请参见 Hi3532DMO 板的 PCB 文件。

## 2.4 USB 接口电路设计建议

为了保证良好的信号质量，USB2.0 Host 端口数据线需要差分布线。为了达到 USB2.0 高速  $480\text{MHz}$  的速度要求，建议 PCB 布线设计采用以下原则：

- 差分数据线走线尽可能短、直，差分数据线对内走线长度严格等长，误差建议控制在  $5\text{mil}$  范围内。
- 差分数据线走线控制  $90\Omega \pm 10\%$  的均匀差分阻抗。
- 差分数据线走线尽可能在临近地平面的布线层走线且不要换层。
- 差分数据线走线应有完整的地平面层作为参考平面，不能跨平面分割。
- 差分数据线走线应尽量用最少的过孔和拐角，拐角可考虑用圆弧或者  $135$  度角，避免直角，以减少反射和阻抗变化。
- 避免邻近其他高速周期信号和大电流信号，并保证间距大于  $50\text{mil}$ ，以减小串扰。此外，还应远离低速非周期信号，保证至少  $20\text{mil}$  的距离。
- REXT 电阻应该尽可能靠近 Hi3531 侧。

备注：Hi3532 不支持 USB 接口。



## 2.5 PCIE 总线 PCB 设计建议

PCIE 总线 PCB 设计建议如下：

- 差分数据线走线尽可能短、直，差分数据线对内走线长度严格等长，误差建议控制在 20mil 范围内。
- 差分数据线走线间距恒定，走线尽可能在临近地平面的布线层走线且不要换层。
- 差分数据线走线应有完整的地平面层作为参考平面，不能跨平面分割。
- 差分数据线走线应尽量用最少的过孔和拐角，拐角可考虑用圆弧或者 135 度角，避免直角，以减少反射和阻抗变化。差分信号 PCB 走线特性阻抗  $100\Omega\pm 10\%$ 。
- 避免邻近其他高速周期信号和大电流信号，并保证间距大于 50mil，以减小串扰。此外，还应远离低速非周期信号，保证至少 20mil 的距离。

**备注：Hi3532 PCIe 接口走线要求同 Hi3531。**

## 2.6 SATA 接口走线设计建议

Hi3531 提供两个 SATA 接口，其走线建议如下：

- SATA 走线差分阻抗控制在  $100\Omega$ ；
- 差分信号线上串接的 10nf 贴片电容靠近 SATA 插座放置；
- 在 PCB 上的信号走线长度推荐小于 5inch。

**备注：Hi3532 不支持 SATA 接口。**

## 2.7 HDMI 接口走线设计建议

Hi3531 自身自带一个 HDMI 接口，能直接输出 HDMI 信号，其走线建议如下：

- HDMI 的四对差分信号，差分阻抗控制在  $100\Omega$ ；
- 接口 ESD 器件靠近 HDMI 插座放置；
- 信号走线在拐弯处尽量走弧线。
- HDMI 信号走线长度理论上不能超过 5000mil，考虑到有些客户会存在将 HDMI 信号转为 DVI 输出的使用场景，因此，要求 HDMI 信号的走线长度控制在 3500mil。

**备注：Hi3532 不支持 HDMI 接口，但其 VOU0 在接 HDMI PHY 时，HDMI 信号走线要求与 Hi3531 HDMI 信号走线要求一致。**



## 2.8 VI/VO 接口走线设计建议

Hi3531 共有 4 个 BT1120(可分别拆分复用为 2 个 BT656 接口)接口，其走线设计要求如下：

- 在作为 BT1120 接口使用时，数据线、行同步、场同步信号走线均以 CLK 信号作为参考，偏差建议不超过 100mil；
- 在分拆为 2 个 BT656 接口时，高 8 位数据线，走线长度参考 BT1120 时的 CLK 信号，偏差建议不超过 100mil；低 8 位数据线，走线长度参考 BT1120 时的行同步信号(HS，此时复用为低 8 位数据线的采样时钟信号)，偏差建议不超过 100mil。

**备注：Hi3532 芯片 VI/VO 部分走线同 Hi3531。**

## 2.9 系统以及外设复位信号走线设计建议

系统以及外设的复位信号走线，建议如下：复位信号需要与其他信号走线，尤其是高速数字信号走线隔离 3 倍线宽以上，越远越好，防止被干扰。

## 2.10 系统电源、地设计建议

Hi3531 系统电源设计建议如下：

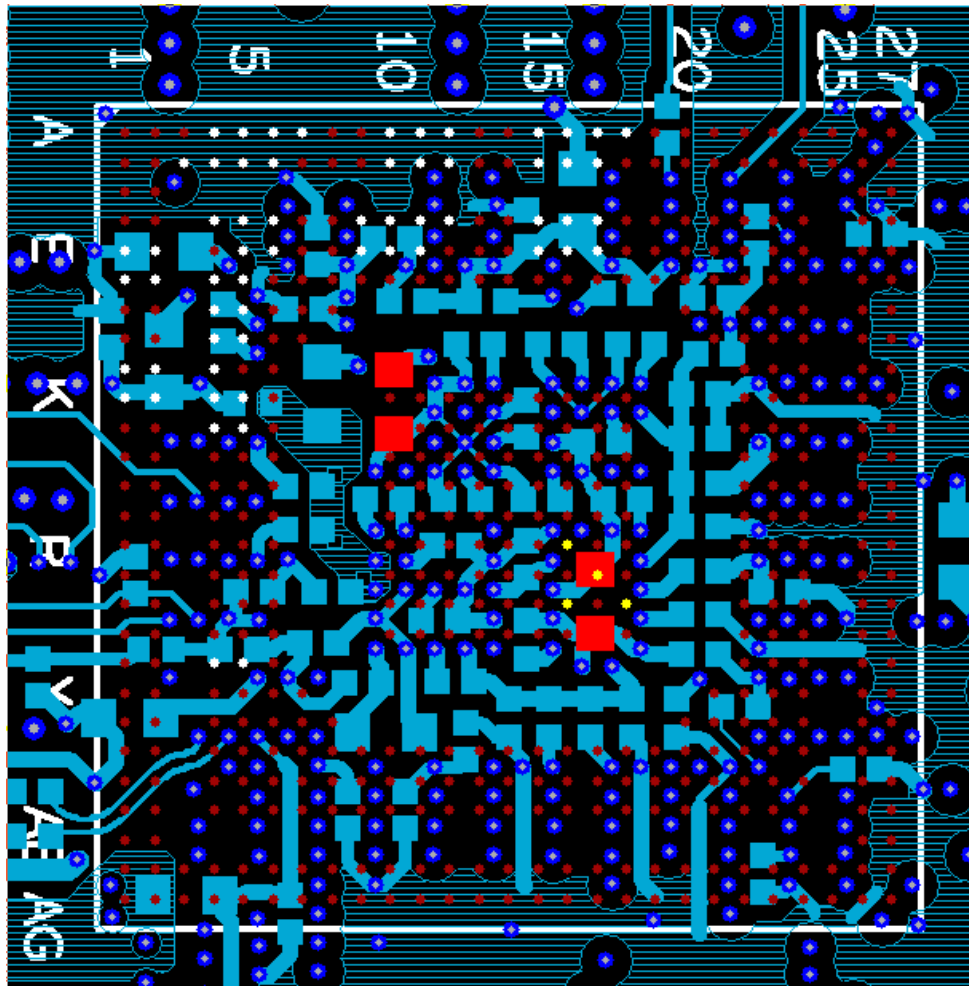
- 主芯片 Core 电压的 1.03V，推荐其电源通道的铜皮满足 8A 以上过流能力；铜皮宽度推荐 320mil；
- Hi3531 芯片内核电压 1.03V 的纹波，要求在芯片端控制在 80mV 以下；要求 Hi3531 内核 1.03V 电源需要有 3 个 10uf 陶瓷滤波电容，并且需要放置于主芯片的正下方，以确保滤波效果；推荐 10uf 电容放置于主芯片内核电压管脚区域靠近 DDR 接口、VI/VO 一侧；
- DDR 接口部分的 1.5V/1.8V 电源与 DDR2/3 颗粒电源公用同一电源平面；
- Hi3531 PLL 部分的 GND，建议不要直接与系统地连接，而采用单点连接的方式；
- 整个外设 3.3V 电压公用一个电源平面；
- 注意 Top 层、Bottom 层 GND 的完整性，有利于散热以及抑制 EMI。

Hi3532 系统电源设计建议如下：

- 主芯片 Core 电压的 1.15V，推荐其电源通道的铜皮满足 5A 以上过流能力(考虑余量)；铜皮宽度推荐 200mil；
- Hi3532 芯片内核电压 1.15V 的纹波，要求在芯片端控制在 80mV 以下，同时，要求 Hi3532 内核 1.15V 电源需要有至少 3 个 10uf 陶瓷滤波电容，并且需要放置于主芯片的正下方，以确保滤波效果；在靠近 DDR 控制器与 VI/VO 端建议各放置 1 个 10uf 陶瓷滤波电容，如图 2-10 中红色标注的电容以及黄色高亮显示的 1.15V 管脚：



图2-10 Hi3532 10uf 滤波电容摆放位置局部放大图



- DDR 接口部分的 1.5V/1.8V 电源与 DDR2/3 颗粒电源公用同一电源平面；
- Hi3531 PLL 部分的 GND，建议不要直接与系统地连接，而采用单点连接的方式；
- 整个外设 3.3V 电压公用一个电源平面；
- 注意 Top 层、Bottom 层 GND 的完整性，有利于散热以及抑制 EMI。

## 2.11 PCB 信号完整性仿真设计建议

PCB 设计人员可以使用板级仿真工具，并结合提供的 Hi3531/Hi3532 接口 IBIS 模型、器件 IBIS 模型、传输线模型以及板上拓扑结构完成信号完整性仿真分析。

PCB 设计人员可以通过对仿真结果的分析，不断调整拓扑结构，以达到所需的信号质量要求，包括过冲、下冲、振铃和单调性等。



# 3 单板热设计建议

DVR 整机功耗比较大，为确保硬件单板可以稳定可靠地工作，产品的散热问题成为必须要合理设计及解决的问题。结合成本和易操作性，对单板热设计提出以下建议。

## 3.1 工作条件

Hi3531/Hi3532 的功耗、温度和热阻参数请参见《Hi3531 H.264 编解码处理器用户指南》或《Hi3532 H.264 编解码处理器用户指南》中的“2.2 电性能参数”小节。

## 3.2 原理图设计

### 3.2.1 电源

整个单板电源树在保证稳定性的前提下效率较高，即要合理设计单板电源效率，少采用高压差 LDO 器件，减少电源自身在电源转换过程中所产生的热量。

单板为外接设备供电的电源（例如 SD 卡、USB 等），设计中可保留，不用时可以关断该功能。单板的主要 IC 必须支持 Power Down 功能。

### 3.2.2 闲置模块低功耗配置

在 Hi3531/Hi 产品形态应用中，很多模块（DAC、USB、PCIE 等）可能不会使用，此时应当将这些模块配置为 Power Down 模式或者默认状态。

## 3.3 PCB 设计

### 3.3.1 器件布局

结合产品结构和热设计，器件布局建议如下：



- 单板上大功耗且易产生热量器件要均匀分布，避免局部过热，影响器件可靠性和效率，建议 Hi3531 和电源部分不要放置太近。
- 合理设计结构，保证产品内部与外界有热交换途径。

### 3.3.2 散热设计要求

PCB 热设计建议如下：

- 散热片的选择
  - 针对 Hi3531，要求采用 37x37x24(mm)尺寸的散热片，散热片的齿条尺寸：21x4x1(mm)；散热片表面推荐发黑处理；散热片的选择上，要求比该规格好，不能差于此规格；推荐散热片图片如图 3-1 所示。
  - 针对 Hi3532，推荐客户采用 3.1\*3.1\*1.3(cm)尺寸的散热片，散热片齿条尺寸：1.0\*1.5\*13(mm)，散热片表面推荐发黑处理；散热片的选择上，要求比该规格好，不能差于此规格；推荐散热片图片如图 3-2 所示。

图3-1 推荐 Hi3531 散热片图示

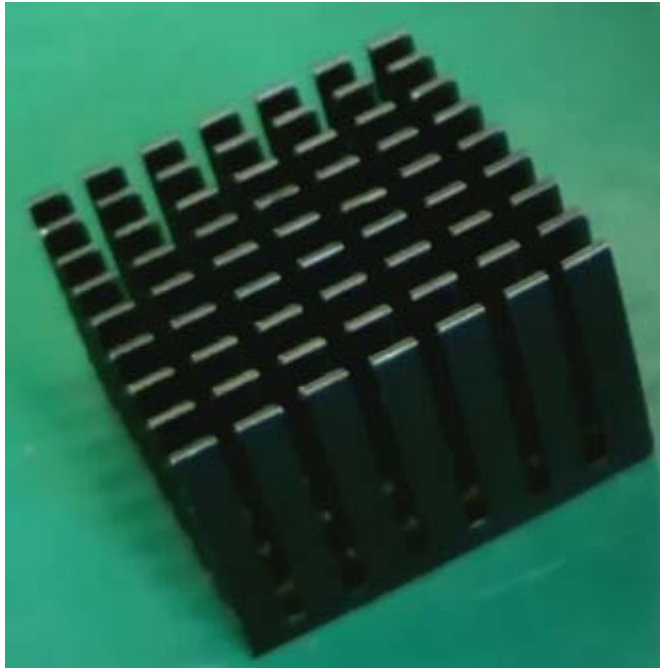
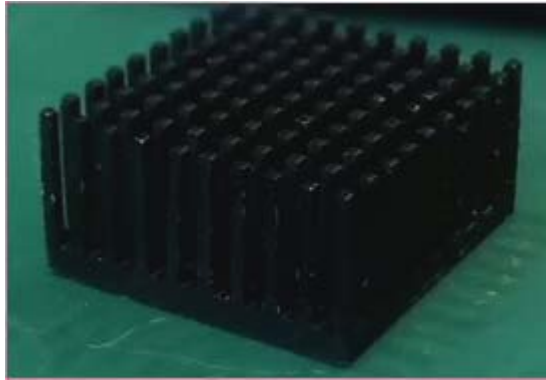


图3-2 推荐 Hi3532 散热片图示



- 风扇的选择，对于 1U 机箱，要求采用 DC 12V/0.48W 以上，尺寸为 40x40x20(mm) 的风扇；对于 2U 机箱，要求采用 DC 12V/0.15A，尺寸为 80x80x25(mm) 的风扇
- 散热片导热硅胶，选择热阻较小的导热硅胶，推荐导热系数大于 0.965W/m.K
- PCB 板的设计，建议尽可能的增大单板各层的敷铜率
- 机箱通风孔的设计，需确保机箱的通风良好，热源尽量靠近抽风口
- 机箱内硬盘等热源，尤其 1U 机箱，除了风扇之外，可能的话，可利用机壳散热，增强散热效果
- 芯片底下的过孔采用 FULL 孔连接，而不是普通的花孔连接，以提高单板散热效率；
- Hi3531/Hi3532 的 1.0V/1.5V (1.8V) /3.3V 电源和地信号都通过平面铺铜的方式连接，在保证信号过流能力的前提下打更多过孔到这些铜皮上；
- 在热量大的器件正下方和周边尽量增大铜皮面积以保证单板利用 PCB 有效散热。特别是电源部分的电感和供电芯片，注意其摆放位置不要过于密集，周边尽量增加铺铜面积。